

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Patent Abstracts of Japan

PUBLICATION NUMBER : 10303358
PUBLICATION DATE : 13-11-98

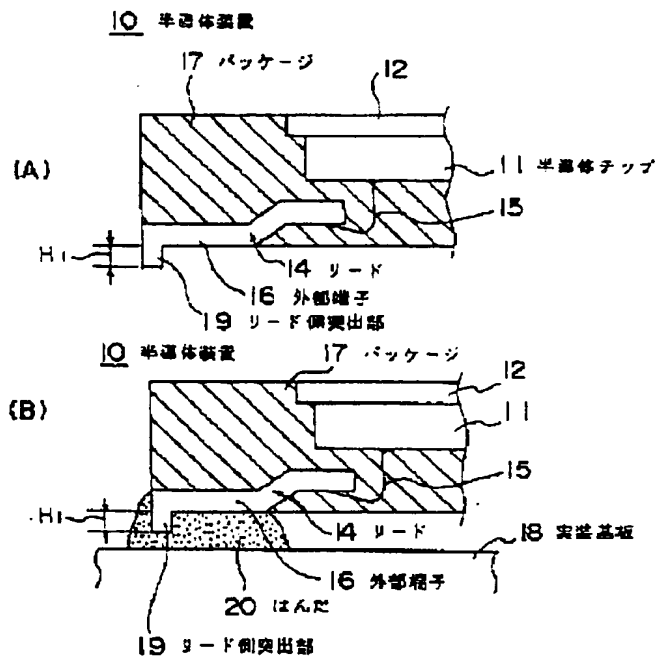
APPLICATION DATE : 27-02-98
APPLICATION NUMBER : 10048080

APPLICANT : FUJITSU LTD;

INVENTOR : HAMANO TOSHIO;

INT.CL. : H01L 23/50 H01L 21/56 H01L 21/60
H01L 23/28

TITLE : SEMICONDUCTOR DEVICE AND ITS
MOUNTING STRUCTURE, AND
MANUFACTURE THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To release a stress due to a difference of coefficient of linear thermal expansion between a semiconductor device and a mounting substrate and improve mounting property and reliability, by forming a lead-side projection projecting from the wall surface of a package to the outer terminal exposing on the wall surface of a package.

SOLUTION: This semiconductor device is mounted on a mounting substrate 18 by using a soft bonding material 20. Then, a lead-side projection 19 projecting from the bottom surface of a package 17 is provided to an outer terminal 16. The projection height of the lead-side projection 19 is kept as the minimum height for a solder 20. Thus, the thickness of the solder 20 to be applied to the outer terminal 16 can be made large. On the other hand, the solder 20 as a soft bonding material has a function to joint a semiconductor 10 to the mounting substrate 18, and it is soft enough to be deformed, thereby absorbing a thermal stress due to difference of coefficient of linear thermal expansion between the semiconductor device 10 and the mounting substrate 18.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-303358

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/50

H 0 1 L 23/50

M

21/56

21/56

H

21/60

3 0 1

21/60

3 0 1 B

23/28

23/28

A

審査請求 未請求 請求項の数35 O L (全 32 頁)

(21) 出願番号 特願平10-48080

(22) 出願日 平成10年(1998) 2 月27 日

(31) 優先権主張番号 特願平9-44227

(32) 優先日 平 9 (1997) 2 月27 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 川島 豊茂

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 佐藤 光孝

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

最終頁に続く

(54) 【発明の名称】 半導体装置及びその実装構造及びその製造方法

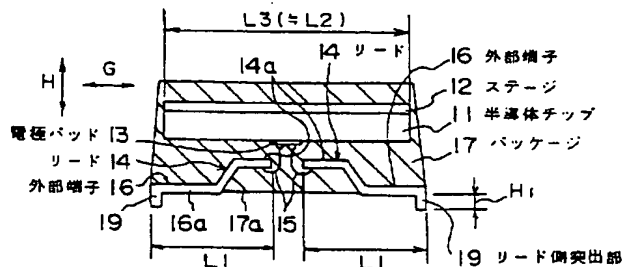
(57) 【要約】

【課題】本発明は実装密度を向上させるためリードの一部のみをパッケージの壁面に露出させた構成の半導体装置及びその実装構造に関し、半導体装置と実装基板との熱線膨張率差により発生する応力を緩和することにより実装性及び信頼性の向上を図ることを課題とする。

【解決手段】実装基板18にはんだ20を用いて表面実装される半導体装置10において、半導体チップ11と、この半導体チップ11を封止するパッケージ17と、一端側が半導体チップ11と電気的に接続されると共に他端側がパッケージ17の底面17aから露出して外部端子16を形成し、この外部端子16を除く他の部分はパッケージ17に封止された構成の複数のリード14と、このリード14の外部端子16に配設されパッケージ17の底面部17aから突出するよう形成されたリード側突出部19とを設ける。

本発明の第1実施例である半導体装置を説明するための断面図

10 半導体装置



【特許請求の範囲】

【請求項1】 実装基板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、該半導体チップを封止するパッケージと、一端側が前記半導体チップと電氣的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、該外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記リードの外部端子に配設されており、前記パッケージの壁面より突出するよう形成されたリード側突出部とを具備することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を $20\mu\text{m}$ ～ $150\mu\text{m}$ に設定したことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を H_1 とすると共に、前記リードの厚さを T とした場合、前記突出量 H_1 が $0.4 \times T \leq H_1 \leq 3.0 \times T$ となるよう設定したことを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれかに記載の半導体装置において、前記リード側突出部は、前記外部端子を折曲形成することにより前記リードに一体形成された構成であることを特徴とする半導体装置。

【請求項5】 請求項1乃至3のいずれかに記載の半導体装置において、前記リード側突出部は、前記外部端子の前記突出部形成位置を残してエッチング処理することにより、前記リードに一体形成された構成であることを特徴とする半導体装置。

【請求項6】 請求項1乃至3のいずれかに記載の半導体装置において、前記リード側突出部は、前記外部端子の前記突出部形成位置を残して塑性加工することにより、前記リードに一体形成された構成であることを特徴とする半導体装置。

【請求項7】 実装基板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、該半導体チップを封止するパッケージと、一端側が前記半導体チップと電氣的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、該外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記パッケージの前記外部端子が露出された壁面に形成されており、前記外部端子に対し突出するよう形成されたパッケージ側突出部とを具備することを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置において、前記パッケージ側突出部の前記外部端子からの突出量を

$20\mu\text{m}$ ～ $150\mu\text{m}$ に設定したことを特徴とする半導体装置。

【請求項9】 請求項7記載の半導体装置において、前記パッケージ側突出部の前記外部端子からの突出量を H_2 とすると共に、前記リードの厚さを T とした場合、前記突出量 H_2 が $0.4 \times T \leq H_2 \leq 3.0 \times T$ となるよう設定したことを特徴とする半導体装置。

【請求項10】 実装基板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、該半導体チップを封止するパッケージと、一端側が前記半導体チップと電氣的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、該外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記リードの外部端子に配設されており、前記パッケージの壁面より窪んだ形状を有するよう形成されたリード側凹部とを具備することを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、前記リード側凹部の前記壁面からの窪み量を $20\mu\text{m}$ ～ $150\mu\text{m}$ に設定したことを特徴とする半導体装置。

【請求項12】 請求項10記載の半導体装置において、前記リード側凹部の前記壁面からの窪み量を H_3 とすると共に、前記リードの厚さを T とした場合、前記窪み量を H_3 が $0.4 \times T \leq H_3 \leq 3.0 \times T$ となるよう設定したことを特徴とする半導体装置。

【請求項13】 請求項1乃至12のいずれかに記載の半導体装置であって、前記軟質接合材としてはんだを用いたことを特徴とする半導体装置。

【請求項14】 リードの一端側が半導体チップと電氣的に接続されると共に他端側がパッケージの壁面に露出して外部端子を形成し、かつ該外部端子を除く他の部分は前記パッケージに封止された構成の半導体装置を軟質接合材を用いて実装基板に実装する半導体装置の実装構造であって、

前記実装基板に前記半導体装置を前記実装基板の表面に対し離間した状態で支持するスペーサ部を形成し、前記半導体装置と前記実装基板との間に形成された離間部分に前記軟質接合材が配設される構造としたことを特徴とする半導体装置の実装構造。

【請求項15】 請求項14記載の半導体装置の実装構造において、前記スペーサ部の前記実装基板の表面からの突出高さを $20\mu\text{m}$ ～ $150\mu\text{m}$ に設定したことを特徴とする半導体装置の実装構造。

【請求項16】 複数設けられたリードの一端側が半導体チップと電氣的に接続されると共に他端側がパッケー

ジの壁面に露出して外部端子を形成し、かつ該外部端子を除く他の部分は前記パッケージに封止された構成とされた半導体装置を、前記外部端子または実装基板に形成された複数の接続電極に配設された軟質接合材を用いて前記実装基板に実装する半導体装置の実装構造であって、

前記半導体装置に発生する反り量が大なる位置に配設される前記軟質接合材の配設量を、前記半導体装置に発生する反り量が小なる位置に配設される前記軟質接合材の配設量に比べて多く設定したことを特徴とする半導体装置の実装構造。

【請求項17】 請求項14乃至16のいずれかに記載の半導体装置の実装構造であって、前記軟質接合材としてはんだを用いたことを特徴とする半導体装置の実装構造。

【請求項18】 実装基板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、

該半導体チップを封止するパッケージと、一端側が前記半導体チップと電気的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、該外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記リードの外部端子に配設されており、前記パッケージの壁面より突出するよう形成されると共に、前記壁面における幅寸法に対し先端部の幅寸法が小さくなるよう構成されたリード側突出部とを具備することを特徴とする半導体装置。

【請求項19】 請求項18記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を $20\mu\text{m}$ ～ $150\mu\text{m}$ に設定したことを特徴とする半導体装置。

【請求項20】 請求項18記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を H_1 とすると共に、前記リードの厚さを T とした場合、前記突出量 H_1 が $0.4 \times T \leq H_1 \leq 3.0 \times T$ となるよう設定したことを特徴とする半導体装置。

【請求項21】 請求項18乃至20のいずれかに記載の半導体装置において、前記リード側突出部は、前記外部端子に貫通孔を形成し、該貫通孔の形成位置で前記外部端子を切断することにより形成された構成であることを特徴とする半導体装置。

【請求項22】 請求項18乃至21のいずれかに記載の半導体装置において、前記リード側突出部の前記壁面における幅寸法に対し先端部の幅寸法が $1/2 \sim 1/3$ となるよう構成したことを特徴とする半導体装置。

【請求項23】 実装基板に軟質接合材を用いて表面実

装される半導体装置であって、半導体チップと、

該半導体チップを封止するパッケージと、一端側が前記半導体チップと電気的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、該外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記リードの外部端子に配設されており、前記パッケージの壁面より突出するよう形成されると共に、前記壁面における厚さ寸法に対し先端部の厚さ寸法が小さくなるよう構成されたリード側突出部とを具備することを特徴とする半導体装置。

【請求項24】 請求項23記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を $20\mu\text{m}$ ～ $150\mu\text{m}$ に設定したことを特徴とする半導体装置。

【請求項25】 請求項23記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を H_1 とすると共に、前記リードの厚さを T とした場合、前記突出量 H_1 が $0.4 \times T \leq H_1 \leq 3.0 \times T$ となるよう設定したことを特徴とする半導体装置。

【請求項26】 リードと半導体チップを電気的に接続すると共に、該半導体チップをリードの一部が露出する構成で樹脂パッケージを形成することにより半導体装置本体を形成する装置本体製造工程と、

少なくとも、前記リードの前記樹脂パッケージから露出した部位に付着した樹脂バリを研磨液を用いてホーニング処理するホーニング工程と、

前記ホーニング処理が行われた後、前記リードに形成されている不要積層体をエッチング処理により除去するエッチング工程と、

前記エッチング処理が行われた後、前記リードにめっき処理を行うことにより軟質接合材よりなるめっき膜を形成するめっき工程とを具備した半導体装置の製造方法であって、

前記ホーニング工程において、前記樹脂バリに加え、前記不要積層体の一部も除去することを特徴とする半導体装置の製造方法。

【請求項27】 請求項26記載の半導体装置の製造方法において、前記研磨液に混入される研磨材として、高硬度研磨材を用いたことを特徴とする半導体装置の製造方法。

【請求項28】 請求項27記載の半導体装置の製造方法において、前記高硬度研磨材として、少なくともアルミナビーズまたはガラスビーズのいずれか一方を用いたことを特徴とする半導体装置の製造方法。

【請求項29】 請求項26記載の半導体装置の製造方法において、

前記ホーニング工程が、
高硬度研磨材によりホーニング処理を行う第1のホーニング工程と、

該第1のホーニング工程の終了後に実施され、低硬度研磨材によりホーニング処理を行う第2のホーニング工程とを具備することを特徴とする半導体装置の製造方法。

【請求項30】 請求項26乃至29のいずれか1項に記載の半導体装置の製造方法において、

前記ホーニング工程で、前記樹脂バリ及び前記不要積層体と共に、前記パッケージの一部も除去することを特徴とする半導体装置の製造方法。

【請求項31】 請求項26乃至30のいずれか1項に記載の半導体装置の製造方法であって、

前記エッチング工程において、前記不要積層体を少なくとも $2\mu\text{m}$ 以上除去することを特徴とする半導体装置の製造方法。

【請求項32】 請求項26乃至31のいずれか1項に記載の半導体装置の製造方法であって、

前記めっき工程において、前記めっき膜の厚さを $15\mu\text{m}$ 以上形成したことを特徴とする半導体装置の製造方法。

【請求項33】 請求項26乃至31のいずれか1項に記載の半導体装置の製造方法であって、

前記めっき工程において厚さが $15\mu\text{m}$ 未満のめっき膜を形成すると共に、該めっき工程が終了した後、前記軟質接合材をディップ処理により前記リードに配設することを特徴とする半導体装置の製造方法。

【請求項34】 請求項26乃至33のいずれか1項に記載の半導体装置の製造方法であって、

前記軟質接合材は、はんだであることを特徴とする半導体装置の製造方法。

【請求項35】 複数設けられたリードの一端側が半導体チップと電気的に接続されると共に他端側がパッケージの壁面に露出して外部端子を形成し、かつ該外部端子を除く他の部分は前記パッケージに封止された構成とされた半導体装置を、前記外部端子または実装基板に形成された複数の接続電極に配設された軟質接合材を用いて前記実装基板に実装する半導体装置の実装構造であって、

前記パッケージの前記リードが露出する位置近傍に凹部を形成すると共に、前記半導体装置と前記実装基板との間にアンダーフィル樹脂を配設し、
かつ、該アンダーフィル樹脂が前記凹部内にも充填されるよう構成したことを特徴とする半導体装置の実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその実装構造及びその製造方法に係り、特に実装密度を向上させるためリードの一部のみをパッケージの壁面に露出

させた構成の半導体装置及びその実装構造及びその製造方法に関する。近年の電子機器の小型化、高速化、更には高機能化に伴い、それらに用いられる半導体装置についても同様の要求がある。

【0002】また、このような半導体装置自体に対する要求に加え、半導体装置を基板に実装する時の信頼性の向上も望まれている。即ち、半導体装置の実装時には加熱処理が行なわれるため、半導体装置と実装基板の熱線膨張率差に起因して熱応力が発生するおそれがある。そこで、半導体装置の小型化及び実装時における信頼性の向上を共に実現しうる半導体装置が望まれている。

【0003】

【従来の技術】図37は従来における半導体装置10の斜視図であり、図38は図37におけるA-A線に沿う断面図である。この半導体装置1は、本出願人が先に提案した半導体装置であり、特開昭63-15453号公報、或いは特開昭63-15451号公報に開示されたものである。

【0004】各図に示す半導体装置1は、半導体チップ2、この半導体チップ2を封止する樹脂パッケージ3、夫々の一端部4aが半導体チップ2とワイヤ5により接続されると共に他端側がパッケージ3の底面3a(壁面)に露出して外部端子6を形成するリード4、半導体チップ2が搭載されるステージ7等により構成されている。即ち、半導体装置10では、リード4の外部端子6を除く他の部分はパッケージ3内に封止された構成とされている。

【0005】上記構成とされた半導体装置1では、リード4の内、外部端子6となる部分が樹脂パッケージ3の底面3aに露出した構成となるため、リード4のパッケージ3より側方への張り出し量を短くでき、これにより実装密度の向上を図ることができる。また、リードの張り出し部の曲げ加工が不要であり、この曲げ加工用の金型も不要となり、製造コストの低減を図ることができる等の種々の効果を奏するものである。

【0006】

【発明が解決しようとする課題】ところで、半導体装置1とこれを実装する実装基板とは材質が異なっているため、その熱線膨張率も異なっている。また、半導体装置1を実装基板8に実装する時には、例えばはんだリフロー処理等の加熱処理が実施され、図38に示されるように、外部端子6は実装基板8にはんだ9を用いて接合される。従って、実装時において加熱処理を行なった場合、上記熱線膨張率の差に起因して外部端子6と実装基板8との間に応力が発生する。

【0007】この応力は、従来から一般的に用いられているリードがパッケージから外方に長く延出した構成のパッケージ構造、即ちSOP(Small Outline Package)、QFP(Quad Flat Package)等のパッケージ構造の場合には特に問題となるようなことはなかった。これは、リ

ードがパッケージから外方に長く延出したパッケージ構造では、金属製のリードがバネとして機能するため、熱線膨張率差に起因した応力が印加されてもリードが弾性変形することにより応力が吸収されることによる。

【0008】これに対し、図37及び図38に示す半導体装置1は、リード4の外部端子6を除く他の部分はパッケージ3内に封止された構造となっているため、上記の応力をリード4の弾性変形で逃がすことはできない。このため、半導体装置1と実装基板8との熱線膨張率差により発生する応力は、特に半導体装置1と実装基板との接合部分に印加され、最悪の場合には接合部に配設されたはんだ9に損傷が生じたり、またパッケージ17にクラックが発生するおそれがある。

【0009】一方、図39は半導体装置1の外部端子6を拡大して示しており、また図40は図39におけるB-B断面であり、はんだ9による接合部分を拡大して示している。ところで、通常図37乃至図40に示される樹脂封止型の半導体装置1を製造する場合、樹脂封止工程を実施した後、リードフレームに対して表面処理（メッキ処理）を行い、その後にリードの成形工程（プレス処理）を実施する。このプレス処理により、切断面においてはリードフレームの基材が露出した状態となり、よって表面処理がされていない状態となる。

【0010】このため、はんだ9を用いて半導体装置1を基板8に接合する際、メッキ処理が行われていない部分ははんだ9の濡れ性が低下するため、図40(A)に示されるように、切断面6aにおいてははんだ9は実装されない状態となる。これに対し実装性が高い望ましい実装構造は、図40(B)に示されるように、外部端子6のパッケージ3から露出している部分を全てはんだ9で覆うような構造である。当然、はんだ9が外部端子6と接合している面積は実装強度に比例することとなり、よってメッキ処理が行われていない部分が增大すると、外部端子6と基板8との実装性が低下してしまう。

【0011】このように、従来の半導体装置1は小型化及び低コスト化を図ることができるものの、実装性及び信頼性が低下する可能性があるという問題点があった。本発明は上記の点に鑑みてなされたものであり、半導体装置と実装基板との熱線膨張率差により発生する応力を緩和することにより、実装性及び信頼性の向上を図った半導体装置及びその実装構造を提供することを目的とする。

【0012】

【課題を解決するための手段】上記の課題は、次の手段を講じることにより解決することができる。請求項1記載の発明では、実装基板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、この半導体チップを封止するパッケージと、一端側が前記半導体チップと電気的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、この外部端子

を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記リードの外部端子に配設されており、前記パッケージの壁面より突出するよう形成されたリード側突出部とを具備することを特徴とするものである。

【0013】また、請求項2記載の発明では、前記請求項1記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を $20\mu\text{m}\sim 150\mu\text{m}$ に設定したことを特徴とするものである。また、請求項3記載の発明では、前記請求項1記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を H_1 とすると共に、前記リードの厚さを T とした場合、前記突出量 H_1 が $0.4\times T\leq H_1\leq 3.0\times T$ となるよう設定したことを特徴とするものである。

【0014】また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記リード側突出部は、前記外部端子を折曲形成することにより前記リードに一体形成された構成であることを特徴とするものである。また、請求項5記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記リード側突出部は、前記外部端子の前記突出部形成位置を残してエッチング処理することにより、前記リードに一体形成された構成であることを特徴とするものである。

【0015】また、請求項6記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記リード側突出部は、前記外部端子の前記突出部形成位置を残して塑性加工することにより、前記リードに一体形成された構成であることを特徴とするものである。

【0016】また、請求項7記載の発明では、実装基板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、この半導体チップを封止するパッケージと、一端側が前記半導体チップと電気的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、この外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記パッケージの前記外部端子が露出された壁面に形成されており、前記外部端子に対し突出するよう形成されたパッケージ側突出部とを具備することを特徴とするものである。

【0017】また、請求項8記載の発明では、前記請求項7記載の半導体装置において、前記パッケージ側突出部の前記外部端子からの突出量を $20\mu\text{m}\sim 150\mu\text{m}$ に設定したことを特徴とするものである。また、請求項9記載の発明では、前記請求項7記載の半導体装置において、前記パッケージ側突出部の前記外部端子からの突出量を H_2 とすると共に、前記リードの厚さを T とした場合、前記突出量 H_2 が $0.4\times T\leq H_2\leq 3.0\times T$ となるよう設定したことを特徴とするものである。

【0018】また、請求項10記載の発明では、実装基

板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、この半導体チップを封止するパッケージと、一端側が前記半導体チップと電気的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、この外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記リードの外部端子に配設されており、前記パッケージの壁面より窪んだ形状を有するよう形成されたリード側凹部とを具備することを特徴とするものである。

【0019】また、請求項11記載の発明では、前記請求項10記載の半導体装置において、前記リード側凹部の前記壁面からの窪み量を $20\mu\text{m}\sim 150\mu\text{m}$ に設定したことを特徴とするものである。また、請求項12記載の発明では、前記請求項10記載の半導体装置において、前記リード側凹部の前記壁面からの窪み量を H_3 とすると共に、前記リードの厚さを T とした場合、前記窪み量を H_3 が $0.4\times T\leq H_3\leq 3.0\times T$ となるよう設定したことを特徴とするものである。

【0020】また、請求項13記載の発明では、前記請求項1乃至12のいずれかに記載の半導体装置であって、前記軟質接合材としてはんだを用いたことを特徴とするものである。また、請求項14記載の発明では、リードの一端側が半導体チップと電気的に接続されると共に他端側がパッケージの壁面に露出して外部端子を形成し、かつこの外部端子を除く他の部分は前記パッケージに封止された構成の半導体装置を軟質接合材を用いて実装基板に実装する半導体装置の実装構造であって、前記実装基板に前記半導体装置を前記実装基板の表面に対し離間した状態で支持するスペーサ部を形成し、前記半導体装置と前記実装基板との間に形成された離間部分に前記軟質接合材が配設される構造としたことを特徴とするものである。

【0021】また、請求項15記載の発明では、前記請求項14記載の半導体装置の実装構造において、前記スペーサ部の前記実装基板の表面からの突出高さを $20\mu\text{m}\sim 150\mu\text{m}$ に設定したことを特徴とするものである。また、請求項16記載の発明では、複数設けられたリードの一端側が半導体チップと電気的に接続されると共に他端側がパッケージの壁面に露出して外部端子を形成し、かつこの外部端子を除く他の部分は前記パッケージに封止された構成とされた半導体装置を、前記外部端子または実装基板に形成された複数の接続電極に配設された軟質接合材を用いて前記実装基板に実装する半導体装置の実装構造であって、前記半導体装置に発生する反り量が大なる位置に配設される前記軟質接合材の配設量を、前記半導体装置に発生する反り量が小なる位置に配設される前記軟質接合材の配設量に比べて多く設定したことを特徴とするものである。

【0022】また、請求項17記載の発明では、前記請求項14乃至16のいずれかに記載の半導体装置であっ

て、前記軟質接合材としてはんだを用いたことを特徴とするものである。また、請求項18記載の発明では、実装基板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、この半導体チップを封止するパッケージと、一端側が前記半導体チップと電気的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、該外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記リードの外部端子に配設されており、前記パッケージの壁面より突出するよう形成されると共に、前記壁面における幅寸法に対し先端部の幅寸法が小さくなるよう構成されたリード側突出部とを具備することを特徴とするものである。

【0023】また、請求項19記載の発明では、前記請求項18記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を $20\mu\text{m}\sim 150\mu\text{m}$ に設定したことを特徴とするものである。また、請求項20記載の発明では、前記請求項18記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を H_1 とすると共に、前記リードの厚さを T とした場合、前記突出量 H_1 が $0.4\times T\leq H_1\leq 3.0\times T$ となるよう設定したことを特徴とするものである。

【0024】また、請求項21記載の発明では、前記請求項18乃至20のいずれかに記載の半導体装置において、前記リード側突出部は、前記外部端子に貫通孔を形成し、該貫通孔の形成位置で前記外部端子を切断することにより形成された構成であることを特徴とするものである。

【0025】また、請求項22記載の発明では、前記請求項18乃至21のいずれかに記載の半導体装置において、前記リード側突出部の前記壁面における幅寸法に対し先端部の幅寸法が $1/2\sim 1/3$ となるよう構成したことを特徴とするものである。また、請求項23記載の発明では、実装基板に軟質接合材を用いて表面実装される半導体装置であって、半導体チップと、この半導体チップを封止するパッケージと、一端側が前記半導体チップと電気的に接続されると共に他端側が前記パッケージの壁面に露出して外部端子を形成し、該外部端子を除く他の部分は前記パッケージに封止された構成の複数のリードと、前記リードの外部端子に配設されており、前記パッケージの壁面より突出するよう形成されると共に、前記壁面における厚さ寸法に対し先端部の厚さ寸法が小さくなるよう構成されたリード側突出部とを具備することを特徴とするものである。

【0026】また、請求項24記載の発明では、前記請求項23記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を $20\mu\text{m}\sim 150\mu\text{m}$ に設定したことを特徴とするものである。また、請求項25記載の発明では、前記請求項23記載の半導体装置において、前記リード側突出部の前記壁面からの突出量を H

1 とすると共に、前記リードの厚さを T とした場合、前記突出量 H_1 が $0.4 \times T \leq H_1 \leq 3.0 \times T$ となるよう設定したことを特徴とするものである。

【0027】また、請求項26記載の発明では、リードと半導体チップを電氣的に接続すると共に、この半導体チップをリードの一部が露出する構成で樹脂パッケージを形成することにより半導体装置本体を形成する装置本体製造工程と、少なくとも、前記リードの前記樹脂パッケージから露出した部位に付着した樹脂バリを研磨液を用いてホーニング処理するホーニング工程と、前記ホーニング処理が行われた後、前記リードに形成されている不要積層体をエッチング処理により除去するエッチング工程と、前記エッチング処理が行われた後、前記リードにめっき処理を行うことにより軟質接合材よりなるめっき膜を形成するめっき工程とを具備した半導体装置の製造方法であって、前記ホーニング工程において、前記樹脂バリに加え、前記不要積層体の一部も除去することを特徴とするものである。

【0028】また、請求項27記載の発明では、前記請求項26記載の半導体装置の製造方法において、前記研磨液に混入される研磨材として、高硬度研磨材を用いたことを特徴とするものである。また、請求項28記載の発明では、前記請求項27記載の半導体装置の製造方法において、前記高硬度研磨材として、少なくともアルミナビーズまたはガラスビーズのいずれか一方を用いたことを特徴とするものである。

【0029】また、請求項29記載の発明では、前記請求項26記載の半導体装置の製造方法において、前記ホーニング工程が、高硬度研磨材によりホーニング処理を行う第1のホーニング工程と、該第1のホーニング工程の終了後に実施され、低硬度研磨材によりホーニング処理を行う第2のホーニング工程とを具備することを特徴とするものである。

【0030】また、請求項30記載の発明では、前記請求項26乃至29のいずれか1項に記載の半導体装置の製造方法において、前記ホーニング工程で、前記樹脂バリ及び前記不要積層体と共に、前記パッケージの一部も除去することを特徴とするものである。

【0031】また、請求項31記載の発明では、前記請求項26乃至30のいずれか1項に記載の半導体装置の製造方法であって、前記エッチング工程において、前記不要積層体を少なくとも $2\mu\text{m}$ 以上除去することを特徴とするものである。

【0032】また、請求項32記載の発明では、前記請求項26乃至31のいずれか1項に記載の半導体装置の製造方法であって、前記めっき工程において、前記めっき膜の厚さを $15\mu\text{m}$ 以上形成したことを特徴とするものである。

【0033】また、請求項33記載の発明では、前記請求項26乃至31のいずれか1項に記載の半導体装置の

製造方法であって、前記めっき工程において厚さが $15\mu\text{m}$ 未満のめっき膜を形成すると共に、該めっき工程が終了した後、前記軟質接合材をディップ処理により前記リードに配設することを特徴とするものである。

【0034】また、請求項34記載の発明では、前記請求項26乃至33のいずれか1項に記載の半導体装置の製造方法であって、前記軟質接合材がはんだであることを特徴とするものである。また、請求項35記載の発明では、複数設けられたリードの一端側が半導体チップと電氣的に接続されると共に他端側がパッケージの壁面に露出して外部端子を形成し、かつ該外部端子を除く他の部分は前記パッケージに封止された構成とされた半導体装置を、前記外部端子または実装基板に形成された複数の接続電極に配設された軟質接合材を用いて前記実装基板に実装する半導体装置の実装構造であって、前記パッケージの前記リードが露出する位置近傍に凹部を形成すると共に、前記半導体装置と前記実装基板との間にアンダーフィル樹脂を配設し、かつ、該アンダーフィル樹脂が前記凹部内にも充填されるよう構成したことを特徴とするものである。

【0035】上記の各手段は、次のように作用する。請求項1及び請求項7記載の発明によれば、実装基板に軟質接合材を用いて表面実装される半導体装置において、パッケージの壁面に露出した外部端子にパッケージの壁面より突出するよう形成されたリード側突出部を形成したことにより、リード側突出部を設けない構成（従来構成）に比べて外部端子に配設される軟質接合材の厚みを増大させることができる。

【0036】即ち、従来のようにリード側突出部を設けない構成では、半導体装置を実装基板に対し離間した状態に支持する構成が設けられていなかったため、半導体装置と実装基板との間に介装される軟質接合材の厚みは薄くなっていた。しかるに、リード側突出部を設けることにより、このリード側突出部の突出高さが軟質接合材の最低限の高さとして確保されることとなる。よって、リード側突出部を設けることにより、従来構成に比べて外部端子に配設される軟質接合材の厚みを増大させることができる。

【0037】一方、軟質接合材は半導体装置を実装基板に接合させる機能を有すると共に、軟質であるために半導体装置と実装基板との接合部分に発生する応力を吸収する応力吸収部材としての機能も奏する。この軟質接合材の応力吸収機能は、軟質接合材の厚さが大きくなる程増大する。従って、リード側突出部を設け軟質接合材の厚みを増大させることにより、軟質接合材の応力吸収機能を増大させることができる。

【0038】よって、半導体装置と実装基板の熱線膨張率に起因して熱応力が発生しても、軟質接合材によりこの応力を確実に吸収することが可能となり、接合部における損傷及びパッケージにおけるクラック発生を防止で

き、従って半導体装置の実装性及び信頼性を向上させることができる。また、請求項2、請求項19、及び請求項24記載の発明のように、リード側突出部の壁面からの突出量を $20\mu\text{m}\sim 150\mu\text{m}$ に設定することにより、有効に応力緩和を行なうことができる。

【0039】また、請求項3、請求項20、及び請求項25記載の発明のように、リード側突出部の壁面からの突出量を H_1 とすると共に、リードの厚さを T とした場合、前記突出量 H_1 が $0.4\times T\leq H_1\leq 3.0\times T$ となるよう設定することにより、有効に応力緩和を図ることができる。また、請求項4乃至6記載の発明によれば、リードに対しリード側突出部を容易に一体成形することができる。

【0040】また、請求項8記載の発明のように、パッケージ側突出部の外部端子からの突出量を $20\mu\text{m}\sim 150\mu\text{m}$ に設定したことにより、有効に応力緩和を図ることができる。また、請求項9記載の発明のように、パッケージ側突出部の外部端子からの突出量を H_2 とすると共に、リードの厚さを T とした場合、前記突出量 H_2 が $0.4\times T\leq H_2\leq 3.0\times T$ となるよう設定したことにより、有効に応力緩和を図ることができる。

【0041】また、請求項10記載の発明によれば、実装基板に軟質接合材を用いて表面実装される半導体装置において、リードの外部端子にパッケージの壁面より窪んだ形状を有したリード側凹部を形成したことにより、リード側凹部を設けない構成（従来構成）に比べて外部端子に配設される軟質接合材の厚みを増大させることができる。

【0042】即ち、リード側凹部を設けることにより、このリード側凹部の深さが軟質接合材の最低限の高さとして確保されることとなる。よって、リード側凹部を設けることにより、従来構成に比べて外部端子に配設される軟質接合材の厚みを増大させることができる。一方、前記したように軟質接合材は応力吸収部材としての機能も奏し、この応力吸収機能は軟質接合材の厚さが大きくなる程増大する。従って、リード側凹部を設け軟質接合材の厚みを増大させることにより、軟質接合材の応力吸収機能を増大させることができる。これにより、半導体装置と実装基板の熱線膨張率に起因して発生する熱応力は軟質接合材により吸収され、よって接合部における損傷及びパッケージにおけるクラック発生は防止され、半導体装置の実装性及び信頼性を向上させることができる。

【0043】また、請求項11記載の発明のように、リード側凹部の壁面からの窪み量を $20\mu\text{m}\sim 150\mu\text{m}$ に設定することにより、有効に応力緩和を行なうことができる。また、請求項12記載の発明のように、リード側凹部の壁面からの窪みを H_3 とすると共に、リードの厚さを T とした場合、前記窪みを H_3 が $0.4\times T\leq H_3\leq 3.0\times T$ となるよう設定することにより、有効に応力

緩和を図ることができる。

【0044】また、請求項13及び請求項17記載の発明によれば、軟質接合材としてはんだを用いることにより、半導体装置と実装基板の熱線膨張率に起因して発生する熱応力の緩和、及び半導体装置と実装基板との接合性の向上を図ることができる。即ち、はんだは半導体装置を実装基板に接合する接合部材として一般に用いられているものであり、その接合性には実績を有している。また周知のように、はんだは軟質な金属であるため、変形することにより半導体装置と実装基板の熱線膨張率に起因して発生する熱応力を吸収することができる。特に、はんだは融点の低い材料のため、熱応力が問題となる加熱時には軟化しており、有効に熱応力を吸収することができる。従って、軟質接合材としてはんだを用いることにより、熱応力の緩和と接合性の向上を共に図ることができる。

【0045】また、請求項14記載の発明によれば、実装基板に半導体装置を実装基板の表面に対し離間した状態で支持するスペーサ部を形成し、半導体装置と実装基板との間に形成された離間部分に軟質接合材が配設される構造としたことにより、スペーサ部を設けない構成（従来構成）に比べて外部端子に配設される軟質接合材の厚みを増大させることができる。

【0046】即ち、実装基板にスペーサ部を形成することにより、このスペーサ部の高さが軟質接合材の最低限の高さとして確保されることとなる。よって、スペーサ部を設けることにより、従来構成に比べて外部端子に配設される軟質接合材の厚みを増大させることができる。一方、前記したように軟質接合材は応力吸収部材としての機能も奏し、この応力吸収機能は軟質接合材の厚さが大きくなる程増大する。従って、スペーサ部を設け軟質接合材の厚みを増大させることにより、軟質接合材の応力吸収機能を増大させることができる。これにより、半導体装置と実装基板の熱線膨張率に起因して発生する熱応力は軟質接合材により吸収され、よって接合部における損傷及びパッケージにおけるクラック発生は防止され、半導体装置の実装性及び信頼性を向上させることができる。

【0047】また、請求項15記載の発明のように、スペーサ部の実装基板の表面からの突出高さを $20\mu\text{m}\sim 150\mu\text{m}$ に設定したことにより、有効に応力緩和を行なうことができる。更に、請求項16記載の発明によれば、半導体装置に発生する反り量が大きな位置に配設される軟質接合材の配設量を、半導体装置の反り量が小さな位置に配設される軟質接合材の配設量に比べて多く設定したことにより、半導体装置に反りが発生しても確実に半導体装置を実装基板に実装することができる。

【0048】ここで、半導体装置に反りが発生した時の実装基板と半導体装置との状態を考察する。いま、半導体装置が上に凸の湾曲形状に反ったとすると、実装基板

と半導体装置との離間距離は中央部が最も離間し、両端部に向かうにつれて離間距離は小さくなる。逆に、半導体装置が下に凸の湾曲形状に反ったとすると、実装基板と半導体装置との離間距離は両端部が最も離間し、中央に向かうにつれて離間距離は小さくなる。

【0049】一方、半導体装置の外部端子数に対応して複数個設けられる軟質接合材の実装後における形状は、各軟質接合材の配設量を全て等しくした構成を想定すると、実装基板と半導体装置との離間距離が大きいと軟質接合材は引き延ばされた状態となりその断面積は小さくなり、逆に実装基板と半導体装置との離間距離が小さいと断面積は大きくなる。従って、実装基板と半導体装置との離間距離が最も大きい位置、即ち半導体装置が上に凸の湾曲形状に反った場合には中央部において、また半導体装置が下に凸の湾曲形状に反った場合には両端部において、軟質接合材の断面積が細くなり電気的接続不良が発生するおそれがある。

【0050】しかるに、半導体装置に発生する反り量が大きな位置に配設される軟質接合材の配設量を、半導体装置の反り量が小なる位置に配設される軟質接合材の配設量に比べて多く設定することにより、半導体装置に反りが発生しても軟質接合材の配設位置に拘わらず（中央部、両端部に拘わらず）軟質接合材の断面積を均一化することができ、よって確実に半導体装置を実装基板に実装することができる。

【0051】また、請求項18及び請求項22記載の発明によれば、リードの外部端子に配設されたリード側突出部をパッケージの壁面より突出するよう形成すると共に、このリード側突出部の先端部における幅寸法を壁面における幅寸法に対し小さくなるよう構成したことにより、リード成形処理時における切断面積を小さくすることができる。

【0052】これにより、通常外部端子に形成されるメッキ膜の配設面積は増大し、はんだとの濡れ性は良好となり、よって実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。特に、リード側突出部の壁面における幅寸法に対し先端部の幅寸法が $1/2 \sim 1/3$ となるよう構成することにより、はんだの濡れ性を最も良好とすることができる。

【0053】また、請求項21記載の発明によれば、外部端子に貫通孔を形成し、この貫通孔の形成位置で外部端子を切断してリード側突出部を形成することにより、容易にかつ確実にリードの外部端子の先端部の幅寸法を壁面における幅寸法に対し小さく形成することができる。また、請求項23記載の発明によれば、リードの外部端子に配設されたリード側突出部をパッケージの壁面より突出するよう形成すると共に、外部端子の先端部の厚さ寸法を壁面における厚さ寸法に対し小さくなるよう構成したことにより、リード成形処理時における切断面積を小さくすることができる。

【0054】これにより、通常外部端子に形成されるメッキ膜の配設面積は増大し、はんだとの濡れ性は良好となり、よって実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。また、請求項26記載の発明によれば、ホーニング工程において、樹脂バリに加えて不要積層体の一部も除去することにより、実装基板に接合されるリードの表面に形成された不要積層体の一部が除去されるため、次工程において実施されるエッチング工程で、リード表面に残存する不要積層体を除去し易くすることができる。

【0055】また、請求項27記載の発明によれば、研磨液に混入される研磨材として高硬度研磨材を用いたことにより、ホーニング強度を強めることができ、樹脂バリに加えて不要積層体の一部を除去する処理を短時間で確実に行うことができる。また、請求項28記載の発明によれば、高硬度研磨材としてアルミナビーズまたはガラスビーズを用いることにより、ホーニング強度を強めることができる。

【0056】また、請求項29記載の発明によれば、ホーニング工程内の第1のホーニング工程において、高硬度研磨材によりホーニング処理を行うことにより、ホーニング強度を強めることができ、よって樹脂バリに加えて不要積層体の一部を除去する処理を短時間で確実に行うことができる。

【0057】しかるに、高硬度研磨材によりホーニング処理を行うと、研磨面が荒れてしまう（表面粗さが粗くなる）ため、このままエッチング処理を実施すると、エッチング液が研磨面全面に回り込まなくなる。即ち、ホーニング強度が強いホーニング処理を行った場合には、研磨面に形成される凹凸が大きくなり、特に凹部についてはエッチング処理時にエッチング液が回り込まなくなるおそれがある。よって、高硬度研磨材を用いたホーニング処理を実施した後、直ちにエッチング処理を実施するのでは、上記した凹部についてはエッチング処理が実施されず、不要積層体の除去を確実に行うことができなくなってしまう。

【0058】そこで、上記の第1のホーニング工程を実施した後、低硬度研磨材によりホーニング処理を行う第2のホーニング工程を実施する。この第2のホーニング工程では低硬度研磨材を用いてホーニング処理を実施するため、第1のホーニング工程において形成された荒れた研磨面を平滑な研磨面とすることができる。これにより、ホーニング工程の次工程として実施されるエッチング工程において、研磨面の全面に確実にエッチング液を供給することができる。よって、良好なエッチング処理を行うことが可能となり、不要積層体の除去処理を確実に行うことができる。

【0059】また、請求項30記載の発明によれば、ホーニング工程において、樹脂バリ及び不要積層体と共にパッケージの一部も除去することにより、パッケージか

ら露出するリードの面積を広くすることができる。これにより、リードに対する軟質接合材の接合性を向上させることができ、半導体装置を実装基板に高い実装性を持って実装することができる。

【0060】また、請求項31記載の発明によれば、エッチング工程において、不要積層体を少なくとも $2\mu\text{m}$ 以上除去することにより、不要積層体の残量を更に少なく、あるいは完全に無くすることができる。これにより、次工程として実施されるめっき工程において軟質接合材を確実にリードにめっきすることができる。

【0061】また、請求項32記載の発明によれば、めっき工程において、めっき膜の厚さを $15\mu\text{m}$ 以上形成することにより、半導体装置を実装基板に実装した後における、めっき膜（軟質接合材）とリードとの接合強度を高めることができる。以下、この理由について説明する。エッチング工程を終了した時点では、リードの表面に不要積層体が残存している可能性があり、この不要積層体はリードとめっき膜との接合力を低下させる。従って、この不要積層体が残存するリードに形成されためっき膜は、リードとの接合性は十分であるとはいえない。

【0062】この不要積層体上にめっき膜が形成された半導体装置を実装基板に実装するため加熱処理すると、不要積層体及びめっき膜である軟質接合材は共に熔融する。この際、不要積層体はホーニング工程及びエッチング工程を経ているため、その厚さ（付着量）は少ない。また、めっき膜は $15\mu\text{m}$ 以上と厚く（多量に）形成されているため、上記のように不要積層体及び軟質接合材（めっき膜）が共に熔融すると、少量の不要積層体は多量存在する軟質接合材内に溶け込んだ状態となり、実質的にリードと軟質接合材とが直接接合した状態となる。

【0063】よって、めっき膜の厚さを $15\mu\text{m}$ 以上形成することにより、半導体装置を実装基板に実装した後における、めっき膜（軟質接合材）とリードとの接合強度を高めることができ、半導体装置と実装基板との間に熱膨張差が存在しても両者の接合部分に破損が発生することを確実に防止することができる。また、請求項33記載の発明によれば、めっき工程において厚さが $15\mu\text{m}$ 未満のめっき膜を形成すると共に、このめっき工程が終了した後に軟質接合材をディップ処理によりリードに配設したことにより、ディップ処理終了後における、めっき膜（軟質接合材）とリードとの接合強度を高めることができる。

【0064】以下、この理由について説明する。前記したように、エッチング工程を終了した時点ではリードの表面に不要積層体が残存している可能性があり、よってめっき膜とリードとの接合性は十分であるとはいえない。また、ディップ処理を行うことなく、即ちめっき膜の厚さが $15\mu\text{m}$ 未満と薄いままの状態、前記した請求項32の発明のように実装時に加熱しても、熔融した際に軟質接合材に対する不要積層体の割合が高くなり、十分

な接合性が確保でなくなる。

【0065】しかるに、めっき工程が終了した後、ディップ処理を実施して軟質接合材をリードに配設することにより、ディップ処理時に印加される熱により、めっき膜及び不要積層体は溶解し、かつリード上には軟質接合材が形成される。よって、ディップ処理により形成される軟質接合材は、直接リード上に形成されることとなり、ディップ処理終了後における、めっき膜（軟質接合材）とリードとの接合強度を高めることができる。

【0066】また、請求項34記載の発明のように、前記した軟質接合材としては、はんだを適用することができる。また、請求項35記載の発明によれば、半導体装置と実装基板との間にアンダーフィル樹脂を配設したことにより、リードの一部のみがパッケージの壁面に露出して外部端子を形成する構成（即ち、リードがパッケージより延出ししない構成）の半導体装置であっても、半導体装置と実装基板の熱膨張差に起因して発生する応力をアンダーフィル樹脂で受ける事ができるため、リードと実装基板との接合部分に剥離等の不都合が発生することを防止することができる。

【0067】また、パッケージのリードが露出する位置近傍に凹部を形成し、アンダーフィル樹脂がこの凹部内にも充填されるよう構成したことにより、アンダーフィル樹脂とパッケージとの接合面積が増大し、また凹部内に進入したアンダーフィル樹脂はアンカー効果を奏するため、半導体装置の実装基板に対する実装信頼性をより高めることができる。

【0068】

【発明の実施の形態】次に本発明の実施例について図面と共に説明する。図1乃至図3は本発明の第1実施例である半導体装置10を示しており、図1は半導体装置10の横断面を、図2は半導体装置10の外観を、図3は半導体装置10の底面を夫々示している。以下、各図を用いて半導体装置10の構成について説明する。

【0069】図1に示されるように、半導体チップ11はステージ12に固着されている。この半導体チップ11は、例えばメモリチップ用のチップであり、その形状は比較的大きな形状を有している。また、この半導体チップ11に設けられている電極パッド13は、チップ上面の中央位置に長手方向に沿って形成されている。また、同図において14は複数のリードであり、その一端側14aと半導体チップ11の電極パッド13とは、ワイヤ15により接続されている。また、リード14は、半導体装置10の高さ方向（図中、矢印Hで示す方向）に対し折曲形成されており、図1に示すように側面より見て略Z形状（或いは逆Z形状）とされている。よって、リード14は上記の一端側14aより先ず水平方向（図中、矢印Gで示す方向）に延出した後、下方へ延出し、再び他端側が水平となる形状を有している。尚、後に詳述するように、リード14の上記した一端側14a

と異なる側の端部は外部端子16を構成する。

【0070】一方、各図において17は樹脂製のパッケージであり、その内部に前記した半導体チップ11、ワイヤ15、及び複数のリード14は封止され保護される。このパッケージ17は、平面的に見て半導体チップ11の面積と略等しい面積を有するよう構成されており（いわゆる、チップサイズパッケージ化がされており）、よって小型化が図られている。

【0071】また、上記したリード14の内、外部端子16の露出面16aはパッケージ17の底面部17aに露出するよう構成されている。更に、外部端子16にはパッケージ17の底面部17a（壁面）より突出するよう形成されたリード側突出部19が形成されている。そして、このリード側突出部19が形成された外部端子16を実装基板18（図4参照）に半田付けすることにより、半導体装置10は実装基板18に実装される。

【0072】外部端子16の露出面16aをパッケージ17の底面部17aに対して露出させる方法としては、パッケージ17を樹脂モールドする際用いる金型に外部端子16を直接当接させることにより樹脂に覆われないようにすること等が考えられ、比較的容易に形成することができる。また、リード側突出部19をパッケージ17の底面部17a（壁面）より突出するよう形成する方法としては、本実施例ではパッケージ17を成形した状態においてパッケージ17の側方にリード14の一部が延出するよう構成しておき、このパッケージ17より延出した部分を折曲形成することによりリード側突出部19を形成する方法を用いている。

【0073】この方法により形成されるリード側突出部19は、リード14と一体的な構成となり、別個に部品を必要としないためコストの低減を図ることができる。更に、上記の方法によればパッケージ17を成形する際に用いる金型は従来と同様のものを用いることができるため、金型コストの低減を図ることもできる。ここで、半導体装置10の構成上の特徴について説明する。図1に示すように、半導体装置10は、内設された複数のリード14がパッケージ17内で高さ方向Hに対し、その略全部が半導体チップ11と重なり合った構造を有している。即ち、リード14と半導体チップ11はパッケージ17内で平面的にみてオーバーラップした構造を有している。

【0074】いま、各リード14の水平方向（矢印G方向）の長さをL1とすると、上記リード14と半導体チップ11のオーバーラップ量L2は、 $L2 = 2 \times L1$ で表すことができる。また前記のように、パッケージ17は平面的に見て半導体チップ11の面積と略等しい面積を有するよう構成されているため、よって半導体チップ11の長さをL3とすると半導体装置10の水平方向の長さも略L3となる。

【0075】これに対して、図20及び図21で示した

従来構成の半導体装置1の構造ではパッケージ3の寸法L4は、大略半導体チップ11の長さL3にリード14の長さ $2 \times L1$ を加算した値となる（ $L4 = L3 + 2 \times L1$ ）。即ち、半導体装置10は、従来構成の半導体装置1に比べて上記オーバーラップ量L2だけ小型化を図ることができる。

【0076】このように、半導体装置10は、従来構成の半導体装置1に比べて大幅に小型化ができるため、実装基板に対する実装効率を向上させることができ、延いては半導体装置10を搭載する機器類の小型化、高性能化を図ることが可能となる。続いて、上記構成を有する半導体装置10を実装基板18に実装する実装構造上の特徴について図4を用いて説明する。図4（A）は半導体装置10のリード側突出部19近傍を拡大して示す図であり、図4（B）は半導体装置10を実装基板18に実装した状態を示している。

【0077】尚、図4では説明及び図示の便宜上、半導体チップ11とリード14とのオーバーラップ量が少ない構成を図示している。また、図4に示す半導体装置10はステージ12がパッケージ17から露出した構成となっており、放熱性の向上が図られている。前記したように、本実施例に係る半導体装置10は、外部端子16にパッケージ17の底面部17aより突出するリード側突出部19が形成されている。このリード側突出部19を設けることにより、リード側突出部19を設けない従来構成の半導体装置1（図20、図21参照）に比べ、実装基板18に対し半導体装置10を高い信頼性をもって実装することが可能となる。以下、その理由について説明する。

【0078】従来のようにリード側突出部19を設けない構成の半導体装置1では、半導体装置1を実装基板7に対し離間した状態に支持する構成が設けられていなかった。このため、図21に示されるように、半導体装置1と実装基板8との間に介装されて両者を接合するはんだ9の厚み（図21に矢印Hで示す）は薄くなっていた。

【0079】これに対し、本実施例に係る半導体装置10のように外部端子16にパッケージ17の底面部17aより突出するリード側突出部19を設けることにより、このリード側突出部19の突出高さ（図中、矢印H₁で示す）がはんだ20（軟質接合材）の最低限の高さとして確保されることとなる。よって、リード側突出部19を設けることにより、従来の実装構造に比べて外部端子16に配設されるはんだ20の厚みを増大させることができる。

【0080】一方、軟質接合材であるはんだ20は、半導体装置10を実装基板18に接合させる機能を有すると共に、軟質であるために半導体装置10と実装基板18との間に介装される応力吸収部材としての機能も奏する。即ち、はんだ20は軟質な金属であるため、変形す

ることにより半導体装置10と実装基板18の熱線膨張率に起因して発生する熱応力を吸収することができる。

【0081】特に、はんだ20は融点が低いため、熱応力が問題となる加熱時には軟化しており、有効に熱応力を吸収することができる。また一方において、はんだ20は半導体装置を実装基板に接合する接合部材として用いられているものであり、その接合性には実績を有している。従って、軟質接合材としてはんだ20を用いることにより、熱応力の緩和と接合性の向上を共に図ることができる。

【0082】また、このはんだ20の応力吸収機能は、はんだ20の厚さが大きくなる程増大する。従って、リード側突出部19を設けはんだ20の厚みを増大させることによりはんだ20の応力吸収機能を増大し、よって半導体装置10と実装基板18の熱線膨張率に起因して熱応力が発生しても、はんだ20によりこの熱応力を確実に吸収することが可能となる。これにより、半導体装置10と実装基板18との接合部における損傷及びパッケージにおけるクラック発生を防止でき、従って半導体装置10の実装性及び信頼性を向上させることができる。

【0083】ここで、本発明者が実施したリード側突出部19の底面部17aからの突出量 H_1 と、半導体装置10を実装基板18に実装した時に発生する不良率との関係について図5を用いて説明する。図5は、縦軸に実装時の不良率を示し、横軸にリード側突出部19の底面部17aからの突出量 H_1 を示している。尚、実装時の不良率(B)とは、リード側突出部19の高さが同一とされた複数個(N)の半導体装置10を実装基板18に実装した際に、上記した個数(N)に対し接合不良が発生した数(n)の割合($B = (n/N) \times 100$)をいう。また、横軸にとったリード側突出部19の底面部17aからの突出量 H_1 は、リード14の厚さ寸法(T)を基準として示している。

【0084】図5から明らかなように、突出量 H_1 が $(0.4 \times T)$ 以上となったとき($H_1 \geq 0.4 \times T$)に不良率(B)は急激に減少していることが判る。これは、突出量 H_1 を $(0.4 \times T)$ 以上とすることにより、はんだ20の厚さも大となり、前記した半導体装置10と実装基板18との間に発生する熱応力をはんだ20が有効に吸収することによる。よって、リード側突出部19の底面部17aからの突出量 H_1 を $(0.4 \times T)$ 以上となるよう設定することにより、接合部における損傷及びパッケージ17におけるクラック発生は防止され、半導体装置10と実装基板18とを高い信頼性をもって接合することができる。

【0085】一方、リード側突出部19の底面部17aからの突出量 H_1 があまりに大きくなると、はんだ20の高さ方向(図1におけるH方向)の長さが大きくなり機械的強度が低下してしまう。従って、リード側突出部

19の突出量 H_1 があまりに大きくなると半導体装置10と実装基板18との接合力が低下してしまい、やはり実装時における信頼性の低下を招いてしまう。はんだ20が高い信頼性を有して半導体装置10と実装基板18とを接合するためには、リード側突出部19の突出量 H_1 は $(3.0 \times T)$ 以下(即ち、 $H_1 \leq 3.0 \times T$)であることが望ましい。

【0086】従って、以上の結果を総括すると、リード側突出部19の底面部17aからの突出量 H_1 が、 $(0.4 \times T)$ 以上でかつ $(3.0 \times T)$ 以下の時、即ち $0.4 \times T \leq H_1 \leq 3.0 \times T$ の条件を満たすようリード側突出部19の底面部17aからの突出量 H_1 を設定することにより、半導体装置10と実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができると共に、はんだ20に半導体装置10を実装基板18に接合するに足る所定の接合強度を持たせることができ、よって半導体装置10の実装性及び信頼性を向上させることができる。

【0087】また、チップサイズパッケージ構造を有した半導体装置10において、一般に用いられるリード14の厚さ寸法Tは約 $50 \mu\text{m}$ ($T \approx 50 \mu\text{m}$)である。従って、このリード14の厚さ寸法Tを上記条件($0.4 \times T \leq H_1 \leq 3.0 \times T$)に代入すると、 $20 \leq H_1 \leq 150$ となる。即ち、リード側突出部19の底面部17aからの突出量 H_1 を $20 \mu\text{m} \sim 150 \mu\text{m}$ に設定することにより、半導体装置10の実装性及び信頼性を向上させることができる。

【0088】続いて、本発明の第2実施例について説明する。図6は本発明の第2実施例である半導体装置10A及びその実装構造を示している。図6(A)は半導体装置10Aのリード側突出部19A近傍を拡大して示す図であり、図6(B)は半導体装置10Aを実装基板18に実装した状態を示している。尚、同図に示す半導体装置10Aにおいて、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0089】前記した第1実施例に係る半導体装置10では、リード側突出部19を形成するのに、パッケージ17を成形した後にリード14のパッケージ17から延出した部分を折曲形成する方法を採用していた。しかるにこの方法では、リード14の折曲時に過剰な折り曲げ力が印加されると、外部端子16がパッケージ17から剥離してしまうおそれがある。

【0090】これに対し本実施例では、外部端子16の先端部をリード14の加工時に同時に折曲形成することによりリード側突出部19Aを形成することを特徴とするものである。この方法を用いることにより、パッケージ17の成形時には既にリード側突出部19Aは形成されているため、外部端子16がパッケージ17から剥離するようなことはない。また、リード側突出部19Aは

リード加工時に同時に形成されるため、容易かつ効率的にリード側突出部19Aを形成することができる。

【0091】また、本実施例においても第1実施例と同様に、リード側突出部19Aの底面部17aからの突出量 H_1 は、リード14の厚さ寸法を T とした場合、 $0.4 \times T \leq H_1 \leq 3.0 \times T$ の条件を満たすよう設定されている。また、具体的な寸法としては、突出量 H_1 は $20 \mu\text{m} \sim 150 \mu\text{m}$ の間となるよう設定されている。従って、第1実施例に係る半導体装置10を実装する時と同様に、半導体装置10Aと実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができ、かつ半導体装置10Aを実装基板18に接合させる所定の接合強度をはんだ20に持たせることができ、よって半導体装置10Aの実装性及び信頼性を向上させることができる。

【0092】尚、本実施例において採用したパッケージ17を成形する前にリード側突出部19Aが形成される方法では、単に従来からの金型を用いてパッケージ17を成形するのでは、外部端子16及びリード側突出部19Aが樹脂により覆われてしまう。しかるに、これを防止し外部端子16の露出面16aをパッケージ17の底面部17aに露出させるには、金型のリード側突出部19Aと対向する位置に予め凹部を形成しておけばよい。これにより、樹脂モールド時においてリード側突出部19Aは凹部内に位置し、よって外部端子16の露出面16aは金型と直接当接した状態となるため、露出面16a及びリード側突出部19Aをパッケージ17から露出させることができる。

【0093】続いて、本発明の第3実施例について説明する。図7は本発明の第3実施例である半導体装置10B及びその実装構造を示している。図7(A)は半導体装置10Bのリード側突出部19B近傍を拡大して示す図であり、図7(B)は半導体装置10Bを実装基板18に実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0094】前記した第1及び第2実施例に係る半導体装置10、10Aでは、リード側突出部19、19Aをパッケージ17の底面部17aから突出させるのに、リード14に対し折曲形成を行なっていた。これに対し本実施例では、外部端子16にプレス加工を行なうことにより、リード側突出部19Bを形成したことを特徴とするものである。

【0095】この方法を用いることにより、第2実施例と同様にパッケージ17の成形時には既にリード側突出部19Bは形成されているため、外部端子16がパッケージ17から剥離するようなことはない。また、リード側突出部19Bはリード加工時に同時に形成することが可能であり、容易かつ効率的にリード側突出部19Bを形成することができる。

【0096】また、本実施例においても第1及び第2実施例と同様に、リード側突出部19Bの底面部17aからの突出量 H_2 は、リード14の厚さ寸法を T とした場合、 $0.4 \times T \leq H_2 \leq 3.0 \times T$ の条件を満たすように、また、具体的な寸法としては、突出量 H_2 は $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。従って、第1及び第2実施例に係る半導体装置10、10Aを実装する時と同様に、半導体装置10Bと実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができ、かつ半導体装置10Bを実装基板18に接合するに足る所定の接合強度をはんだ20に持たせることができ、よって半導体装置10Bの実装性及び信頼性を向上させることができる。

【0097】続いて、本発明の第4実施例について説明する。図8は本発明の第4実施例である半導体装置10C及びその実装構造を示している。図8(A)は半導体装置10Cの外部端子16近傍を拡大して示す図であり、図8(B)は半導体装置10Cを実装基板18Aに実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0098】前記した第1乃至第3実施例に係る半導体装置10、10A、10Bでは、リード側突出部19、19A、19Bをリード14に形成することにより、実装時におけるはんだ20の厚さを大きくする構成とした。これに対し本実施例では、半導体装置10Cにリード側突出部19、19A、19Bは形成されておらず、その代わりに実装基板18Aにスペーサ部21を形成したことを特徴とするものである。

【0099】このように、実装基板18Aにスペーサ部21を形成することにより、半導体装置10Cを実装基板18Aの表面に対し離間した状態で支持することが可能となり、半導体装置10Cと実装基板18Aとの間に形成された離間部分にはんだ20を配設することができる。このスペーサ部21の実装基板18Aの表面からの突出量 H_4 は、リード14の厚さ寸法を T とした場合、 $0.4 \times T \leq H_4 \leq 3.0 \times T$ の条件を満たすように、また具体的な寸法としては $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。

【0100】上記構成とされたスペーサ部21を実装基板18Aに形成することにより、このスペーサ部21の高さがはんだ20の最低限の高さとして確保されることとなる。よって、スペーサ部21を設けることにより、はんだ20の厚みを増大させることができる。従って、第1乃至第3実施例に係る半導体装置10、10A、10Bを実装する時と同様に、半導体装置10Cと実装基板18Aの熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができ、かつ半導体装置10Cを実装基板18Aに接合するに足る所定の接合強度をはんだ20に持たせることができるため、半導体

装置10Cの実装性及び信頼性を向上させることができる。

【0101】続いて、本発明の第5実施例について説明する。図9は本発明の第5実施例である半導体装置10D及びその実装構造を示している。図9(A)は半導体装置10Dの外部端子16近傍を拡大して示す図であり、図9(B)は半導体装置10Dを実装基板18に実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0102】前記した第4実施例に係る半導体装置10C及びその実装構造では、実装基板18Aにスペーサ部21を形成することにより、実装時におけるはんだ20の厚さを大きくする構成とした。これに対し本実施例では、半導体装置10Dを構成するパッケージ17の底面部17aに下方に向け突出したパッケージ側突出部22を形成したことを特徴とするものである。

【0103】このパッケージ側突出部22はパッケージ17の成形時に同時に形成されるものであり、よってパッケージ側突出部22はパッケージ17と一体的な構成とされている。よって、パッケージ側突出部22の形成は容易であり、かつ半導体装置10の製造工程を増やすことなく形成することができる。上記のように、パッケージ17にパッケージ側突出部22を形成することにより、半導体装置10Dを実装基板18の表面に対し離間した状態で支持することが可能となり、半導体装置10Dと実装基板18との間に形成された離間部分にはんだ20を配設することができる。

【0104】このパッケージ側突出部22の底面部17aからの突出量 H_2 は、リード14の厚さ寸法を T とした場合、 $0.4 \times T \leq H_2 \leq 3.0 \times T$ の条件を満たすように、また具体的な寸法としては $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。上記構成とされたパッケージ側突出部22を半導体装置10D(パッケージ17)に形成することにより、このパッケージ側突出部22の高さがはんだ20の最低限の高さとして確保されることとなる。よって、パッケージ側突出部22を設けることにより、はんだ20の厚みを増大させることができる。

【0105】従って、第1乃至第4実施例に係る半導体装置10、10A～10Cを実装する時と同様に、半導体装置10Dと実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができ、かつ半導体装置10Dを実装基板18に接合するに足る所定の接合強度をはんだ20に持たせることが可能となり、よって半導体装置10Dの実装性及び信頼性を向上させることができる。

【0106】続いて、本発明の第6実施例について説明する。図10は本発明の第6実施例である半導体装置10E及びその実装構造を示している。図10(A)は半

導体装置10Eの外部端子16近傍を拡大して示す図であり、図10(B)は半導体装置10Eを実装基板18に実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0107】前記した第1乃至第3実施例に係る半導体装置10、10A、10Bでは、リード側突出部19、19A、19Bをリード14に形成することにより、実装時におけるはんだ20の厚さを大きくする構成とした。これに対し本実施例では、リード14にリード側凹部23を形成することにより、実装時におけるはんだ20の厚さを大きくする構成としたことを特徴とするものである。

【0108】本実施例では、略Z形状とされたリード14の折り曲がり部分を利用してリード側凹部23を形成しており、またリード側凹部23の形成部分においてはパッケージ17を構成する樹脂が配設されないよう構成している。即ち、リード側凹部23はパッケージ17から露出した構造となっている。上記のように、リード14にリード側凹部23を形成し、このリード側凹部23がパッケージ17から露出した構成とすることにより、半導体装置10Eを実装基板18に実装した状態においてリード側凹部23と実装基板18とは対向離間した状態となり、この離間部分にはんだ20を配設することが可能となる。

【0109】このリード側凹部23の底面部17aからの窪み量を H_3 は、リード14の厚さ寸法を T とした場合、 $0.4 \times T \leq H_3 \leq 3.0 \times T$ の条件を満たすように、また具体的な寸法としては $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。上記構成とされたリード側凹部23を設けることにより、このリード側凹部23の窪み量を H_3 がはんだ20の最低限の高さとして確保されることとなる。よって、リード側凹部23を設けることにより、はんだ20の厚みを増大させることができる。

【0110】従って、上記した各実施例に係る半導体装置10、10A～10Dを実装する時と同様に、半導体装置10Eと実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができ、かつ半導体装置10Eを実装基板18に接合するに足る所定の接合強度をはんだ20に持たせることが可能となり、よって半導体装置10Eの実装性及び信頼性を向上させることができる。

【0111】続いて、本発明の第7実施例について説明する。図11は本発明の第7実施例である半導体装置10F及びその実装構造を示している。図11(A)は半導体装置10Fの外部端子16近傍を拡大して示す図であり、図11(B)は半導体装置10Fを実装基板18に実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同

一符号を付してその説明を省略する。

【0112】前記した第6実施例に係る半導体装置10Eでは、略Z形状とされたリード14の折り曲がり部分を利用してリード側凹部23を形成し、これにより実装時におけるはんだ20の厚さを大きくする構成とした。これに対し本実施例では、リード14にエッチング加工を実施することによりリード側凹部23Aを形成し、実装時におけるはんだ20の厚さを大きくする構成としたことを特徴とするものである。

【0113】このリード側凹部23Aを形成するには、先ず外部端子16の部分のみリード材が2層構造となるよう構成しておき（即ち、2枚のリード材が重ね合わされた状態に接合しておき）、その後図11(A)に符号26で示す部分を残して下層のリード材をエッチング加工により除去する。これにより、リード14に窪んだ形状のリード側凹部23Aを形成することができる。

【0114】尚、エッチング加工のタイミングは、リード14の形成時に実施しても、またパッケージ17を形成した後に実施してもよい。また、リード側凹部23Aの形成は、上記したエッチング加工による方法の他に、例えばプレス加工（塑性加工）を実施することによっても形成することができる。上記のように、リード14にリード側凹部23Aを形成し、このリード側凹部23Aがパッケージ17から露出した構成とすることにより、半導体装置10Fを実装基板18に実装した状態においてリード側凹部23Aと実装基板18とは対向離間した状態となり、この離間部分にはんだ20を配設することが可能となる。

【0115】このリード側凹部23Aの底面部17aからの窪み量 H_3 は、リード14の厚さ寸法をTとした場合、 $0.4 \times T \leq H_3 \leq 3.0 \times T$ の条件を満たすように、また、具体的な寸法としては、 $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。上記構成とされたリード側凹部23Aを設けることにより、このリード側凹部23Aの窪み量を H_3 がはんだ20の最低限の高さとして確保されることとなる。よって、リード側凹部23Aを設けることにより、はんだ20の厚みを増大させることができる。

【0116】従って、上記した各実施例に係る半導体装置10、10A～10Eを実装する時と同様に、半導体装置10Fと実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができ、かつ半導体装置10Fを実装基板18に接合するに足る所定の接合強度をはんだ20に持たせることが可能となり、よって半導体装置10Fの実装性及び信頼性を向上させることができる。

【0117】図12は本発明の第8実施例である半導体装置10L及びその実装構造を示している。図12

(A)は半導体装置10Lのリード側突出部19C近傍を拡大して示す図であり、図12(B)は半導体装置1

0Lを実装基板18に実装した状態を示す図であり、更に図12(C)はリード側突出部19Cの形成方法の一例を示す図である。尚、同図に示す半導体装置10Aにおいて、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0118】本実施例に係る半導体装置10Lは、図12(C)に示されるように、外部端子16の先端部をリード14の加工時に同時に略U字状に折曲形成し、リード側突出部19Aがパッケージ17の底面部17aと対向するよう形成したことを特徴とするものである。この構成とされたリード側突出部19Cは、略U字状の形状を有しているため、リード側突出部19Cにバネ性を持たせることができる。即ち、はんだ接合が行われるリード側突出部19Cとパッケージ17の底面部17aとの間には空間部が形成され、よって応力が印加されてもリード側突出部19Cはこの空間部内において可撓変形可能な構成となる。よって、応力（熱応力）が印加されてもリード側突出部19Cが可撓変形することによりこの応力は吸収され、よってパッケージ17にクラックが発生することを有効に防止することができる。これにより、半導体装置10Lの実装性及び信頼性を向上させることができる。

【0119】続いて、本発明の第8実施例について説明する。図13乃至図16は本発明の第9実施例である半導体装置の実装構造を説明するための図である。図13は比較例として従来の実装構造を示しており、図14ははんだ20の配設方法を示しており、図15は本実施例に係る外部端子16a～16eを示しており、更に図16は本実施例により半導体装置10Gが回路基板18に実装された状態を示している。

【0120】前記した各実施例では、半導体装置10、10A～10Fと実装基板18、18Aとを接合するはんだ20の配設量は、夫々の半導体装置10、10A～10Fに複数個配設される各外部端子16において、全て同量配設される構成とされていた。これに対し本実施例では、半導体装置10Gに発生する反り量が異なる位置に配設されるはんだ20dの配設量を、半導体装置10Gに発生する反り量が異なる位置に配設されるはんだ20aの配設量に比べて多く設定したことを特徴とする半導体装置の実装構造。この実装構造を採用することにより、半導体装置10Gに反りが発生しても、確実に半導体装置10Gを実装基板18に実装することが可能となる。以下、この理由について説明する。

【0121】ここで、従来の実装構造において半導体装置10に反りが発生した時の実装基板18と半導体装置10との状態を考察する。いま、図13に示されるように、半導体装置10が上に凸の湾曲形状に反った場合を想定する。半導体装置10が上に凸の湾曲形状に反った場合、実装基板18と半導体装置10との離間距離は中央部が最も離間し、両端部に向かうにつれて離間距離は

小さくなる。(尚、半導体装置10が下に凸の湾曲形状に反ったとすると、実装基板18と半導体装置10との離間距離は両端部が最も離間し、中央に向かうにつれて離間距離は小さくなる)。

【0122】一方、半導体装置10の外部端子16の数に対応して複数個設けられるはんだ20の実装後における形状は、前記のように従来では各外部端子16においてははんだ配設量は全て等しくしていたため、実装基板18と半導体装置10との離間距離が大きいとはんだ20は引き延ばされた状態となりその断面積は小さくなり(図中、符号20c、20dで示す状態)、逆に実装基板18と半導体装置10との離間距離が小さいと断面積は大きくなる(図中、符号20a、20bで示す状態)。

【0123】従って、実装基板18と半導体装置10との離間距離が最も大きい位置、即ち図12に示す半導体装置10が上に凸の湾曲形状に反った場合には中央部においてははんだ20c、20dの断面積が細くなり電氣的接続不良及び接合不良が発生するおそれがある。これに対し本実施例では、上記のように半導体装置10Gに発生する反り量が大なる位置に配設されるはんだ20g、20hの配設量を、半導体装置10Gに発生する反り量が小なる位置に配設されるはんだ20e、20fの配設量に比べて多くなるよう設定している。

【0124】このように、半導体装置10Gの反り量に応じて配設されるはんだ20の配設量を可変する方法としては次のような方法が考えられる。図14は、半導体装置10G(10)に設けられた外部端子16(同図には現れず)にはんだ20を配設する方法を示している。同図に示されるように、はんだ20を外部端子16に配設するには、一般に厚膜印刷法が用いられており、具体的には外部端子16の形成位置に対応する位置に開口を有したマスク25を用い、このマスク25上でスキージ24を移動させることによりはんだペースト27をマスク25に形成された開口を介して外部端子16の上部に印刷形成する。

【0125】そこで本実施例では、図15に示されるように、半導体装置10Gに発生する反り量が大なる位置に配設される外部端子16d、16eの形状を、半導体装置10Gの反り量が小なる位置に配設される外部端子16b、16cの形状に比べて大きく設定すると共に、マスク25に形成される開口の面積をこれに対応して異ならせる構成とした。

【0126】上記構成において、図14に示した厚膜印刷を実施すると、半導体装置10Gに発生する反り量が大なる位置に配設されるはんだ20g、20hの配設量を、半導体装置10Gの反り量が小なる位置に配設されるはんだ20e、20fの配設量に比べて多く設定することができる。従って、図16に示されるように半導体装置10Gに反りが発生しても、はんだ20e～20h

の配設位置に拘わらず(中央部、両端部に拘わらず)はんだ20e～20hの断面積を均一化することができ、よって電氣的接続不良及び接合不良の発生を抑制することができ確実に半導体装置10Gを実装基板18に実装することが可能となる。

【0127】尚、上記した各実施例では、図3に示されるように、外部端子16が半導体装置10、10A～10Gの底面両端部に夫々一例に列設した構成を示した。しかるに、近年の半導体装置の高密度化に伴い外部端子数は増大する傾向にあり、よって図17に示される半導体装置10Hのように、外側外部端子16Aと内側外部端子16Bとを千鳥状に配設することが行なわれている。このような、外側外部端子16Aと内側外部端子16Bとを千鳥状に配設した半導体装置10Hにおいても、上記した各実施例を適用することは可能である。

【0128】続いて、本発明の第10乃至第12実施例について図18乃至図20を用いて説明する。第10乃至第12実施例は、外部端子16とはんだ20(図示を省略)との接合強度を向上させることを目的としている。図18は第10実施例である半導体装置10Iを示しており、図18(A)は外部端子16の近傍を拡大して示しており、また図18(B)は外部端子16の露出面16aを示している。同図に示されるように、本実施例では外部端子16の露出面16aに多数の小径溝16-1を形成したことを特徴とするものである。

【0129】このように、はんだ20と接合される露出面16aに多数の小径溝16-1を形成することにより、露出面16aとはんだ20との接触面積を増大することができ、よってリード14とはんだ20との接合強度を向上させることができる。これにより、半導体装置10Iと実装基板18(図示せず)との実装信頼性を向上することができる。

【0130】図19は第11実施例である半導体装置10Jを示しており、図19(A)は外部端子16の近傍を拡大して示しており、また図19(B)は外部端子16の露出面16aを示している。同図に示されるように、本実施例では外部端子16の露出面16aに多数の三角溝16-2を形成したことを特徴とするものである。このように、はんだ20と接合される露出面16aに多数の三角溝16-2を形成することによっても、露出面16aとはんだ20との接触面積を増大することができ、よってリード14とはんだ20との接合強度を向上させることが可能となる。

【0131】尚、露出面16aに形成される溝形状は、前記した図18及び図19に示した構成に限定されるのではなく、露出面16aとはんだ20との接触面積を増大することができる形状であれば他の形状としてもよく、更に露出面16aの表面全体を粗面化した構成としてもよい。図20は、第12実施例である半導体装置10Kの外部端子16近傍を拡大して示す図である。同図

に示されるように、本実施例では外部端子16の露出面16a及びこれと対向する内側面16fの双方に多数の三角溝16-2を形成したことを特徴とするものである。

【0132】この構成とすることにより、露出面16aにおいては多数の三角溝16-2を形成することによりはんだ20との接触面積を増大することができ、よってリード14とはんだ20との接合強度を向上させることが可能となる。また、内側面16fにおいては多数の三角溝16-2を形成することによりパッケージ17との接触面積を増大することができ、よってリード14とパッケージ17との接合強度を向上させることができる。

【0133】次に、本発明の第13実施例乃至第15実施例について、図21乃至図23を用いて説明する。図21は発明の第13実施例である半導体装置10Mを説明するための図である。図21(A)は半導体装置10Mの要部(リード側突出部19D)を拡大して示す図であり、また図21(B)はリード側突出部19Dの形成方法を説明するための図である。

【0134】本実施例に係る半導体装置10Mも、リード14の外部端子16に配設されたリード側突出部19Dをパッケージ17の壁面より突出するよう形成している。更に、本実施例では、リード側突出部19Dの先端部における幅寸法(図中、W1で示す)をパッケージ17の壁面における幅寸法(図中、W2で示す)に対し小さくするよう構成したことを特徴としている($W1 < W2$)。

【0135】このように、リード側突出部19Dの先端部の幅寸法W1をパッケージ17の壁面における幅寸法W2に比べて小さく構成することにより、リード成形処理時における切断面19D₋₁(梨地で示す)の面積を小さくすることができる。前記したように、外部端子16にはリード成形処理前においてはんだメッキ処理が行われるため、プレス加工によりリードの切断処理が実施されると、メッキ膜が形成されていない切断面19D₋₁が露出することとなる。しかるに、本実施例の構成によれば、上記のように切断面19D₋₁の面積を小さくできるため、従来に比べてリード側突出部19Dに形成されるメッキ膜の被膜面積は増大する。

【0136】よって、はんだとリード側突出部19Dとの濡れ性は良好となり、実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。この際、リード側突出部19Dの壁面における幅寸法W2と切断面19D₋₁の幅寸法の比は、 $W1/W2 = 1/2 \sim 1/3$ となるよう構成することが望ましく、この範囲に設定することにより、はんだの濡れ性を最も良好とすることができる。

【0137】上記構成とされたリード側突出部19Dを形成するには、図21(B)に示されるように、リードフレーム40Aの外部端子16の形成位置に予め図示されるような形状(台形状)の貫通孔41Aを形成して

おき、この貫通孔41Aが形成されたリードフレーム40Aにメッキ処理を行った上で、図中破線で示す位置でリードフレーム40Aを切断する。

【0138】このように、外部端子16に予め貫通孔41Aを形成し、この貫通孔41Aの形成位置で外部端子16(リードフレーム40A)を切断してリード側突出部19Dを形成することにより、容易にかつ確実に $W1 < W2$ を有した形状のリード側突出部19Dを形成することができる。図22は発明の第14実施例である半導体装置10Nを説明するための図である。図22(A)は半導体装置10Nの要部(リード側突出部19E)を拡大して示す図であり、また図22(B)はリード側突出部19Eの形成方法を説明するための図である。

【0139】本実施例に係る半導体装置10Nもリード14の外部端子16に配設されたリード側突出部19Eをパッケージ17の壁面より突出するよう形成しており、またリード側突出部19Dの先端部を二股状に分岐した構成とすることにより、先端部における幅寸法(図中、W3で示す)がパッケージ17の壁面における幅寸法(図中、W2で示す)に対し小さくするよう構成している($W1 < W3$)。

【0140】このように、リード側突出部19Eの先端部の幅寸法W3をパッケージ17の壁面における幅寸法W2に比べて小さく構成することにより、リード成形処理時における切断面19E₋₁(梨地で示す)の面積を小さくすることができる。よって、本実施例の構成とすることによっても切断面19E₋₁の面積を小さくできるため、従来に比べてリード側突出部19Eに形成されるメッキ膜の被膜面積は増大し、はんだとリード側突出部19Eとの濡れ性は良好となり、実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。この際、本実施例においてもリード側突出部19Eの壁面における幅寸法W2と切断面19E₋₁の幅寸法(総和したもの)との比は、 $(W3 \times 2)/W2 = 1/2 \sim 1/3$ となるよう構成することが望ましく、この範囲に設定することにより、はんだの濡れ性を最も良好とすることができる。

【0141】上記構成とされたリード側突出部19Eを形成するには、図22(B)に示されるように、リードフレーム40Bの外部端子16の形成位置に予め図示されるような形状(矩形状)の貫通孔41Bを形成しておき、この貫通孔41Bが形成されたリードフレーム40Bにメッキ処理を行った上で、図中破線で示す位置でリードフレーム40Bを切断する。

【0142】このように、外部端子16に予め貫通孔41Bを形成し、この貫通孔41Bの形成位置で外部端子16(リードフレーム40B)を切断してリード側突出部19Eを形成することにより、容易にかつ確実に $W3 < W2$ を有した形状のリード側突出部19Dを形成することができる。図23は発明の第15実施例である半導

体装置10Pを説明するための図である。図23(A)は半導体装置10Pの要部(リード側突出部19F)を拡大して示す図であり、また図23(B)はリード側突出部19Fの形成方法を説明するための図であり、更に図23(C)は半導体装置10Pの変形例である半導体装置10Qを示す図である。

【0143】本実施例に係る半導体装置10Mも、リード14の外部端子16に配設されたリード側突出部19Fをパッケージ17の壁面より突出するよう形成している。更に、本実施例では、リード側突出部19Fの先端部における厚さ寸法(図中、T1で示す)をパッケージ17の壁面における厚さ寸法(図中、T2で示す)に対し小さくなるよう構成したことを特徴としている(T1<T2)。

【0144】このように、リード側突出部19Fの先端部の厚さ寸法T1をパッケージ17の壁面における厚さ寸法T2に比べて小さく構成することにより、リード成形処理時における切断面19F₁(梨地で示す)の面積を小さくすることができる。よって、本実施例の構成とすることによっても切断面19F₁の面積を小さくできるため、従来に比べてリード側突出部19Fに形成されるメッキ膜の被膜面積は増大し、はんだとリード側突出部19Fとの濡れ性は良好となり、実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。

【0145】上記構成とされたリード側突出部19Fを形成するには、図23(B)に示されるように、リードフレーム40Cの外部端子16の形成位置にエッチング或いはプレス加工等により、内側(パッケージ側)から外側に向け厚さ寸法が小さくなる形状のテーパ部42(図23(A)参照)及び貫通孔41Cを形成しておく。そして、このテーパ部42及び貫通孔41Cが形成されたリードフレーム40Cにメッキ処理を行った上で、図中破線で示す位置でリードフレーム40Cを切断する。

【0146】このように、外部端子16に予めテーパ部42及び貫通孔41Cを形成し、このテーパ部42の形成位置で外部端子16(リードフレーム40C)を切断してリード側突出部19Fを形成することにより、容易にかつ確実にT1<T2を有した形状のリード側突出部19Fを形成することができる。尚、テーパ部42の形成位置は、図23(A)に示されるように、外部端子16の下部位置に限定されるものではなく、図23(C)に示されるように、外部端子16の上部位置に形成する構成としてもよい。

【0147】続いて、図24乃至図35を用いて、上記した各実施例に係る半導体装置の製造方法について説明する。尚、以下説明する半導体装置の製造方法は、半導体装置の本体部分(以下、装置本体という)を製造した後実施されるホーニング工程、エッチング工程、め

き工程に特徴を有するものであり、装置本体の製造方法は前記した各公報に開示された方法を適用して製造できるため、以下の説明ではホーニング工程以下の工程についてのみ説明するものとする。

【0148】また、図示及び説明の便宜上、図24乃至図35に示す装置本体90は、リード側突出部及びパッケージ側突出部が形成されていない構成を例に挙げているが、リード側突出部及びパッケージ側突出部が形成された半導体装置に対しても、以下説明する製造方法を適用することができることは勿論である。図24は、本実施例に係る半導体装置の製造方法の一例を示す工程図である。同図に示されるように、装置本体製造工程50が実施され、図25に示す半導体装置本体90が製造されると、ホーニング工程51、エッチング工程52、及びめっき工程53が順次実施されて半導体装置が製造される。尚、ここで半導体装置本体90とは、樹脂パッケージ17の形成処理及びリードフレームの切断処理が終了し、リード14に対する外装処理を残す状態の半導体装置をいうものとする。

【0149】図25は、装置本体製造工程50が終了した状態の半導体装置本体90を示している。図25

(A)は半導体装置本体90の要部断面図であり、また図25(B)はリード14の拡大図である。同図に示されるように、装置本体製造工程50が終了した時点では、リード14の実装側の面には不要積層体55が形成されている。この不要積層体55は、装置本体製造工程50で実施される種々の処理(加熱処理、封止処理等)において形成されるものであり、図25(B)に拡大して示すように、外側から樹脂バリ56、ガス吸着層57、酸化皮膜層58、ベイルビー層59、加工変質層60が順次リード14上に積層された構成となっている。また、その厚さは通常2~10μm程度となっている。

【0150】後に説明するように、リード14の表面にはめっき工程において軟質接合材であるはんだめっき処理が実施されるが、上記の不要積層体55がリード14上に形成された状態ではんだめっき処理を実施しても、不要積層体55が存在するとはんだとの接合性は不良となる。よって、不要積層体55が存在するリード14にはんだめっきを施し、この半導体装置を実装基板に実装しても、不要積層体55の部分においてはんだとリード14との間に剥離が発生してしまう。よって、装置本体製造工程50が終了した後、ホーニング工程51、エッチング工程52を実施することにより、不要積層体55の除去処理を行う。

【0151】図26及び図27は、ホーニング工程51を示す図である。このホーニング工程51では、水に研磨材を混入した構成の研磨液を被研磨位置に噴射することによりホーニング処理を行う。従来においても、このホーニング工程は実施されているが、従来では樹脂パッケージ17を形成する際に発生する樹脂バリ56を除去

するためにのみ実施されていた。このため、従来では研磨強度の弱い樹脂ビーズを研磨材として用いた研磨液を用いたホーニング処理のみが実施されていた。よって、従来のホーニング工程では、金属の変質層である不要積層体55を除去することはできなかった。

【0152】これに対し、本実施例に係るホーニング工程51では、第1のホーニング工程と第2のホーニング工程との2回のホーニング処理を実施することを特徴としている。図26(A)は、第1のホーニング工程を示している。この第1のホーニング工程では、不要積層体55に対し高硬度研磨材62を混入した第1の研磨液61を用いてホーニング処理を行う。ここで用いる高硬度研磨材62は、アルミナビーズ、ガラスビーズ、或いはアルミナビーズとガラスビーズとを混ぜたものであり、前記した樹脂ビーズに比べて硬度の高いビーズである。

【0153】また、ホーニング処理の条件としては、研磨材噴射圧力は例えば 3.5Kg/cm^2 、研磨材濃度は例えば20%~30%、半導体装置本体90の搬送スピードは 2m/min としている。この第1のホーニング工程におけるホーニング条件は、従来行われていたホーニング処理のホーニング条件に比べ、研磨噴射圧力及び研磨材濃度については1.5~2.0倍程度、搬送スピードについては $1/2 \sim 1/3$ 以下に設定されている。このように、第1のホーニング工程は、そのホーニング強度が強く設定されている。

【0154】上記のようにホーニング条件を設定し、かつ高硬度研磨材62を用いてホーニング処理を行うことにより、ホーニング強度を強めることができる。よって、第1のホーニング工程を実施することにより、樹脂バリ56に加えて不要積層体55の一部を除去することが可能となる。図26(B)は、第1のホーニング工程が終了した状態のリード14を拡大して示している。同図に示す例では、樹脂バリ56に加えてガラス吸着層57及び酸化皮膜層58の一部が除去された例を示している。

【0155】このように、第1のホーニング工程において、高硬度研磨材62を用いたホーニング強度の強いホーニング処理を行うことにより、樹脂バリ56に加えて不要積層体55の一部を除去する処理を短時間で確実に行うことができる。しかるに、高硬度研磨材62によりホーニング処理を行うと、図26(B)に示されるように、研磨面63(第1の研磨面)が荒れてしまう。このように、研磨面63の表面粗さが粗い状態でエッチング工程52を実施すると、エッチング液が研磨面63の全面に回り込まなくなる現象が発生する。

【0156】即ち、ホーニング強度が強いホーニング処理を行った場合には、研磨面63に形成される凹凸が大きくなり、特に凹部についてはエッチング処理時にエッチング液が回り込まなくなるおそれがある。よって、高硬度研磨材62を用いたホーニング処理を実施した後、直

ちにエッチング処理を実施するのでは、上記した凹部についてはエッチング処理が実施されず、不要積層体55の除去を確実に行うことができなくなってしまう。

【0157】そこで本実施例では、上記の第1のホーニング工程を実施した後、低硬度研磨材66を用いて第2のホーニング工程を実施することとしている。図27

(A)は、第2のホーニング工程を示している。この第2のホーニング工程では、低硬度研磨材66として樹脂ビーズを用いている。また、ホーニング処理の条件としては、研磨材噴射圧力は例えば 1.5Kg/cm^2 、研磨材濃度は例えば15%、半導体装置本体90の搬送スピードは 3m/min としている。このように、第2のホーニング工程では第1のホーニング工程に比べてホーニング強度が低く設定されている。

【0158】上記のようにホーニング条件を設定し、かつ低硬度研磨材66を用いた第2の研磨液65にてホーニング処理することにより、図27(B)に示すように、第1のホーニング工程において形成された荒れた研磨面63を平滑な研磨面67(第2の研磨面)とすることができる。これにより、ホーニング工程51の次工程として実施されるエッチング工程52において、研磨面67の全面に確実にエッチング液を供給することが可能となる。よって、エッチング工程52において良好なエッチング処理を行うことが可能となり、不要積層体55の除去処理を確実に行うことができる。

【0159】上記したホーニング工程51が終了すると、続いてエッチング工程52が実施される。図28は、エッチング工程52を実施している半導体装置本体90を示している。このエッチング工程52で実施されるエッチング処理は、電解エッチング或いは化学研磨エッチングの何れをも用いることが可能である。このエッチング工程52も、ホーニング工程51と同様に不要積層体55を除去することを目的として実施される。

【0160】従来の製造方法においてもこのエッチング工程は実施されているが、そのエッチング強度は弱いものであった。具体的なエッチング条件としては、電解エッチングを用いた場合には、エッチング時間がX域30秒、Y域30秒程度であり、また化学研磨エッチングを用いた場合にはそのエッチング時間は30秒程度であり、双方共にエッチング量は $1\mu\text{m}$ 以下であった。

【0161】これに対し、本実施例で実施するエッチング工程は、エッチング強度を従来に比べて強くし、不要積層体55のエッチング量を $2\mu\text{m}$ 以上としたことを特徴とするものである。具体的なエッチング条件としては、電解エッチングを用いた場合には、エッチング時間をX域120秒以上、Y域60秒以上に設定し、また化学研磨エッチングを用いた場合にはそのエッチング時間を120秒以上に設定した。

【0162】このように、エッチング工程52において、不要積層体55を少なくとも $2\mu\text{m}$ 以上除去するこ

とにより、不要積層体55の残量を更に少なく、あるいは完全に無くすることができる。これにより、次工程として実施されるめっき工程53において軟質接合材（本実施例の場合ははんだ）を確実にリード14にめっきすることができる。

【0163】図29は、エッチング工程52が終了した状態の半導体装置本体90を示している。尚、以下の説明では、同図に示されるように、エッチング工程52の終了後においても、不要積層体55の一部（酸化皮膜層58、バイルビー層59、加工変質層60）が残存した例について説明するものとする。また、エッチング工程52の終了時において、不要積層体55が残存するか否かは、装置本体製造工程50の終了時における不要積層体55の厚さ（この厚さは、前記のように2～10 μ mとバラツキがある）による。

【0164】上記したエッチング工程52が終了すると、続いてめっき工程53が実施される。本実施例では、このめっき工程53においてははんだめっき処理を行うことにより、リード14（不要積層体55）上にはんだめっき膜70、75を形成する。また本実施例では、形成されるはんだめっき膜70、75の厚さにより、以後実施される処理を異ならせている。以下、形成されるはんだめっき膜70、75の厚さにより場合分けして説明するものとする。

【0165】本実施例では、形成されるはんだめっき膜70、75の厚さが15 μ m未満と15 μ m以上で処理を異ならせている。図30は、めっき工程53において厚さが15 μ m未満の第1のめっき膜70を形成した半導体装置本体90のリード14を拡大して示している。リード14（不要積層体55）上に15 μ m未満の厚さの第1のめっき膜70を形成した場合は、図31（A）に示すようにディップ処理が実施される。具体的には、第1のはんだめっき膜70が形成された半導体装置本体90を溶融はんだ72が装填されたはんだディップ槽71に浸漬する。これにより、図31（B）に示されるように、リード14には外装はんだ73が形成される。

【0166】このように、はんだディップ処理を実施することにより、ディップ処理終了後に形成される外装はんだ73とリード14との接合強度を高めることができる。以下、この理由について説明する。前記したように、エッチング工程52を終了した時点ではリード14の表面に不要積層体55が残存している可能性があり、よって第1のはんだめっき膜70とリード14との接合性は十分であるとはいえない。また、はんだディップ処理を行うことなく、即ちめっき膜の厚さが15 μ m未満と薄いままの状態を実装処理を行い加熱処理しても、後に詳述するように、第1のはんだめっき膜70及び不要積層体55の溶融時におけるはんだに対する不要積層体55の割合が高くなり十分な接合性が確保でなくなる。

【0167】しかるに、本実施例のように第1のはんだ

めっき膜70が形成された後にはんだディップ処理を実施することにより、ディップ処理時に印加される熱で第1のはんだめっき膜70及び不要積層体55は溶融し、これに伴い不要積層体55ははんだディップ槽71に装填されている溶融はんだ72に溶け込む。この際、不要積層体55ははんだディップ槽71に装填された溶融はんだ72に対し微量であるため、はんだディップ処理によりリード14上に形成される外装はんだ73は、純粋なはんだと等価のものとなる。よって、図31（B）に示されるように、外装はんだ73は直接リード14上に形成されることとなり、かつ外装はんだ73は純粋なはんだと等価であるため、ディップ処理終了後における外装はんだ73とリード14との接合強度を高めることができる。

【0168】上記のようにして製造された半導体装置を実装基板に実装すると、外装はんだ73とリード14との間には不要積層体55は存在せず、かつ外装はんだ73とリード14との接合強度は強固であるため、実装信頼性の高い実装を行うことができる。よって、半導体装置と実装基板との熱膨張差に起因した応力がリード14と実装基板との接合部分に集中的に印加される半導体装置であっても、この接合部分に破損が発生することを確実に防止することができる。

【0169】続いて、図32に示されるように、めっき工程53において厚さが15 μ m以上の厚いのはんだめっき膜75（第2のはんだめっき膜）を形成した場合の処理について説明する。本実施例のように、第2のはんだめっき膜75の厚さを15 μ m以上とすることにより、この構成の半導体装置を実装基板に実装した際の実装信頼性を高めることができる。以下、この理由について説明する。

【0170】上記のように、不要積層体55上に第2のはんだめっき膜75が形成された半導体装置を実装基板に実装するため加熱処理すると、不要積層体55及び第2のはんだめっき膜75は共に溶融する。この際、不要積層体55はホーニング工程51及びエッチング工程52を経ているため、その付着量（厚さ）は少ない。また、第2のはんだめっき膜75は15 μ m以上と厚く（多量に）形成されているため、上記のように不要積層体55及び第2のはんだめっき膜75が共に溶融すると、少量の不要積層体55は多量存在する第2のはんだめっき膜75内に溶け込んだ状態となる。

【0171】よって、図33に示されるように、最終的にリード14と実装基板18との間に形成される実装後はんだ76（第2のはんだめっき膜75と不要積層体55の合金物）は、実質的にリード14と直接接合した状態となる。これにより、半導体装置を実装基板18に実装した後における、実装後はんだ76とリード14との接合強度を高めることができる。よって、半導体装置と実装基板18との間に熱膨張差が存在しても、両者の

接合部分に破損が発生することを確実に防止することができる。実装信頼性を高めることができる。

【0172】図34及び図35は、ホーニング工程51の変形例を示している。前記した実施例では、ホーニング工程51においてリード14に形成された不要積層体55のみを除去する構成としていたが、本変形例では、このホーニング工程51において、不要積層体55と共に樹脂パッケージ17の一部も除去する構成としたことを特徴とするものである。前記したように、ホーニング工程51で実施される第1のホーニング工程では高硬度研磨材62を用いて強いホーニング処理を実施することができるため、樹脂パッケージ17を除去処理（ホーニング処理）することも可能である。

【0173】このように、ホーニング工程51において樹脂パッケージ17の一部を除去することにより、樹脂パッケージ17から露出するリード14の面積を広くすることができる。これにより、リード14に対する外装はんだ73及び実装後のはんだ76の接合性を向上させることができ、高い実装性を持って半導体装置を実装基板に実装することができる。

【0174】図34は、樹脂パッケージ17のリード14の近傍位置にのみホーニング処理を行い、部分凹部80を形成した例を示している。また、図35は樹脂パッケージ17の実装側面全体にホーニング処理を行うことにより全体凹部81を形成した例を示している。このように、ホーニング処理により除去する部位は、マスク処理を行うことにより任意に選定することができる。

【0175】続いて、図35に示した半導体装置10Rを実装基板18に実装する実装構造について説明する。本実施例に係る実装構造では、半導体装置10Rと実装基板18との間にアンダーフィル樹脂82を配設したことを特徴とするものである。このように、半導体装置10Rと実装基板18との間にアンダーフィル樹脂82を配設することにより、リード14の一部のみが樹脂パッケージ17の壁面に露出して外部端子16を形成する構成（即ち、リード14が樹脂パッケージ14から延出しない構成）の半導体装置10Rであっても、半導体装置10Rと実装基板18との熱膨張差に起因して発生する応力をアンダーフィル樹脂82で受ける事が可能となる。このため、リード14と実装基板18との接合部分（即ち、実装後のはんだ76）に剥離等の破損が発生することを防止することができ、実装信頼性を向上させることができる。

【0176】また、半導体装置10Rは、樹脂パッケージ17のリード14が露出する位置近傍に部分凹部80が形成されているため、アンダーフィル樹脂82はこの部分凹部80内にも充填される。このため、アンダーフィル樹脂82と樹脂パッケージ17との接合面積が増大し、また部分凹部80内に進入したアンダーフィル樹脂82はアンカー効果を奏するため、半導体装置10Rの

実装基板18に対する実装信頼性をより高めることができる。

【0177】

【発明の効果】上述の如く本発明によれば、下記のような種々の効果を実現できる。請求項1、請求項7、請求項10、及び請求項14記載の発明によれば、半導体装置と実装基板の熱線膨張率に起因して熱応力が発生しても、軟質接合材によりこの応力を確実に吸収することが可能となり、接合部における損傷及びパッケージにおけるクラック発生を防止でき、従って半導体装置の実装性及び信頼性を向上させることができる。

【0178】また、請求項2、請求項3、請求項8、請求項9、請求項11、請求項12、請求項15、請求項19、請求項20、請求項24、及び請求項25記載の発明によれば、有効に応力緩和を行なうことができる。また、請求項4乃至6記載の発明によれば、リードに対しリード側突出部を容易に一体成形することができる。

【0179】また、請求項11記載の発明のように、リード側凹部の壁面からの窪み量を $20\mu\text{m}$ ～ $150\mu\text{m}$ に設定することにより、有効に応力緩和を行なうことができる。また、請求項13及び請求項17記載の発明によれば、軟質接合材としてはんだを用いることにより、半導体装置と実装基板の熱線膨張率に起因して発生する熱応力の緩和及び半導体装置と実装基板との接合性の向上を図ることができる。

【0180】また、請求項16記載の発明によれば、半導体装置に反りが発生しても確実に半導体装置を実装基板に実装することができる。また、請求項18、請求項22記載、及び請求項23の発明によれば、外部端子に形成されるメッキ膜の配設面積は増大し、はんだとの濡れ性は良好となり、よって実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。特に、リード側突出部の壁面における幅寸法に対し先端部の幅寸法が $1/2$ ～ $1/3$ となるよう構成することにより、はんだの濡れ性を最も良好とすることができる。

【0181】また、請求項21記載の発明によれば、容易にかつ確実にリードの外部端子の先端部の幅寸法を壁面における幅寸法に対し小さく形成することができる。また、請求項26記載の発明によれば、ホーニング工程において実装基板に接合されるリードの表面に形成された不要積層体の一部が除去されるため、次工程において実施されるエッチング工程でリード表面に残存する不要積層体を除去し易くすることができる。

【0182】また、請求項27記載の発明によれば、研磨液に混入される研磨材として高硬度研磨材を用いたことにより、ホーニング強度を強めることができ、樹脂バリに加えて不要積層体の一部を除去する処理を短時間で確実に行うことができる。また、請求項28記載の発明

によれば、高硬度研磨材としてアルミナビーズまたはガラスビーズを用いることによりホーニング強度を強めることができる。

【0183】また、請求項29記載の発明によれば、ホーニング工程内の第1のホーニング工程において高硬度研磨材によりホーニング処理を行うことにより、ホーニング強度を強めることができ、よって樹脂バリに加えて不要積層体の一部を除去する処理を短時間で確実に行うことができる。また、第1のホーニング工程を実施した後、低硬度研磨材によりホーニング処理を行う第2のホーニング工程を実施することにより、第1のホーニング工程において形成された荒れた研磨面を平滑な研磨面とすることができ、次工程として実施されるエッチング工程において、研磨面の全面に確実にエッチング液を供給することができる。よって、良好なエッチング処理を行うことが可能となり、不要積層体の除去処理を確実に行うことができる。

【0184】また、請求項30記載の発明によれば、パッケージから露出するリードの面積を広くすることができ、リードに対する軟質接合材の接合性が向上するため、半導体装置を実装基板に高い実装性を持って実装することができる。また、請求項31記載の発明によれば、不要積層体の残量を更に少なく、あるいは完全に無くすることができるため、次工程として実施されるめっき工程において軟質接合材を確実にリードにめっきすることができる。

【0185】また、請求項32記載の発明によれば、半導体装置を実装基板に実装した後における、めっき膜（軟質接合材）とリードとの接合強度を高めることができる。また、請求項33記載の発明によれば、ディップ処理終了後における、めっき膜（軟質接合材）とリードとの接合強度を高めることができる。また、請求項35記載の発明によれば、半導体装置と実装基板との間にアンダーフィル樹脂を配設したことにより、リードの一部のみがパッケージの壁面に露出して外部端子を形成する構成の半導体装置であっても、リードと実装基板との接合部分に剥離等の不都合が発生することを防止することができる。

【0186】また、パッケージのリードが露出する位置近傍に凹部を形成し、アンダーフィル樹脂がこの凹部内にも充填されるよう構成したことにより、アンダーフィル樹脂とパッケージとの接合面積が増大し、また凹部内に入れたアンダーフィル樹脂はアンカー効果を奏するため、半導体装置の実装基板に対する実装信頼性をより高めることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である半導体装置を説明するための断面図である。

【図2】本発明の第1実施例である半導体装置を説明するための斜視図である。

【図3】本発明の第1実施例である半導体装置を説明するための底面図である。

【図4】本発明の第1実施例である半導体装置及びその実装構造を説明するための図である。

【図5】実装時に発生する不良率とはんだの厚さとの関係を説明するための図である。

【図6】本発明の第2実施例である半導体装置及びその実装構造を説明するための図である。

【図7】本発明の第3実施例である半導体装置及びその実装構造を説明するための図である。

【図8】本発明の第4実施例である半導体装置及びその実装構造を説明するための図である。

【図9】本発明の第5実施例である半導体装置及びその実装構造を説明するための図である。

【図10】本発明の第6実施例である半導体装置の実装構造を説明するための図である。

【図11】本発明の第7実施例である半導体装置の実装構造を説明するための図である。

【図12】本発明の第8実施例である半導体装置の実装構造を説明するための図である。

【図13】従来の半導体装置の実装構造の問題点を説明するための図である。

【図14】半田ペーストの配設方法を説明するための図である。

【図15】本発明の第9実施例である半導体装置の実装構造を説明するための図である。

【図16】本発明の第8実施例である半導体装置の実装構造を説明するための図である。

【図17】外部端子の配設例を示す図である。

【図18】本発明の第10実施例である半導体装置を説明するための図である。

【図19】本発明の第11実施例である半導体装置を説明するための図である。

【図20】本発明の第12実施例である半導体装置を説明するための図である。

【図21】本発明の第13実施例である半導体装置を説明するための図である。

【図22】本発明の第14実施例である半導体装置を説明するための図である。

【図23】本発明の第15実施例である半導体装置を説明するための図である。

【図24】本発明に係る半導体装置の製造方法を示す工程図である。

【図25】本発明の第1実施例である半導体装置の製造方法を説明するための図であり、装置製造工程が終了した状態を示す図である。

【図26】本発明の第1実施例である半導体装置の製造方法におけるホーニング工程を説明するための図である（その1）。

【図27】本発明の第1実施例である半導体装置の製造

方法におけるホーニング工程を説明するための図である(その2)。

【図28】本発明の第1実施例である半導体装置の製造方法におけるエッチング工程を説明するための図である。

【図29】本発明の第1実施例である半導体装置の製造方法を説明するための図であり、エッチング工程が終了した状態を示す図である。

【図30】本発明の第1実施例である半導体装置の製造方法におけるめっき工程を説明するための図である。

【図31】本発明の第1実施例である半導体装置の製造方法におけるディップ工程を説明するための図である。

【図32】本発明の第2実施例である半導体装置の製造方法におけるめっき工程を説明するための図である。

【図33】第2実施例に係る製造方法で製造された半導体装置を実装基板に実装した状態を示す図である。

【図34】ホーニング工程において、樹脂パッケージに部分凹部を合わせて形成した構成を示す図である。

【図35】ホーニング工程において、樹脂パッケージに全体凹部を合わせて形成した構成を示す図である。

【図36】図34に示す半導体装置を実装基板に実装する実装構造を説明するための図である。

【図37】従来の半導体装置の一例を示す図である。

【図38】従来の半導体装置の一例を示す図である。

【図39】従来の半導体装置の外部端子の拡大斜視図である。

【図40】図39のB-B断面とその実装例を示す図である。

【符号の説明】

10, 10A~10R 半導体装置

11 半導体チップ

12 ステージ

13 電極パッド

14 リード

15 ワイヤ

16, 16b~16e 外部端子

16A 外側外部端子

16B 内側外部端子

16a 露出面

17, 31 パッケージ

17a 底面部

18, 18A 実装基板

19, 19A~19E リード側突出部

20 はんだ

21 スペーサ部

22 パッケージ側突出部

23, 23A リード側凹部

40A~40C リードフレーム

41A~41C 貫通孔41

42 テーパー部

55 不要積層体

56 樹脂バリ

61 第1の研磨液

62 高硬度研磨材

63 第1の研磨面

65 第2の研磨液

66 低硬度研磨材

68 加工面

70 第1のはんだめっき膜

71 はんだディップ槽

72 溶融はんだ

73 外装はんだ

75 第2のはんだめっき膜

76 実装後はんだ

80 部分凹部

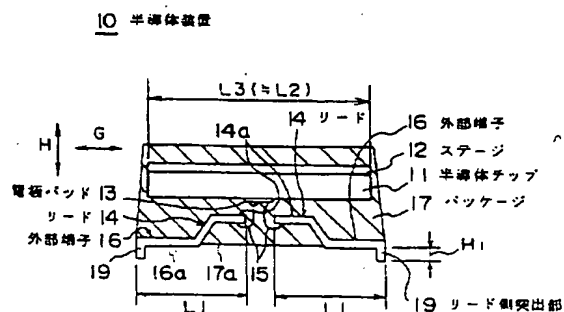
81 全体凹部

82 アンダーフィル樹脂

90 半導体装置本体

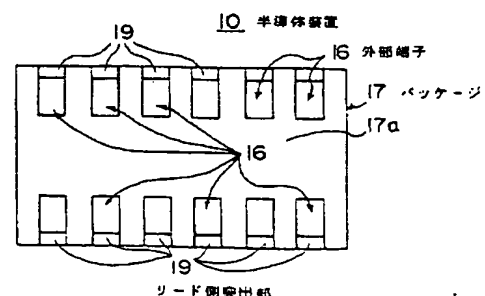
【図1】

本発明の第1実施例である半導体装置を説明するための断面図



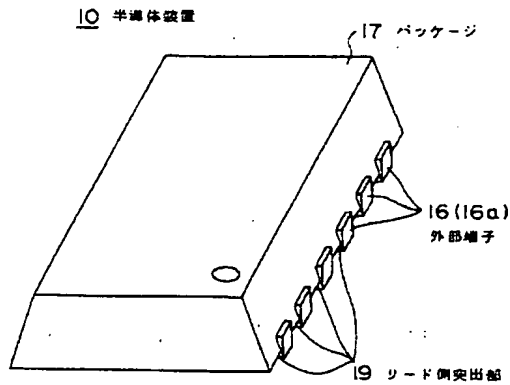
【図3】

本発明の第1実施例である半導体装置を説明するための底面図



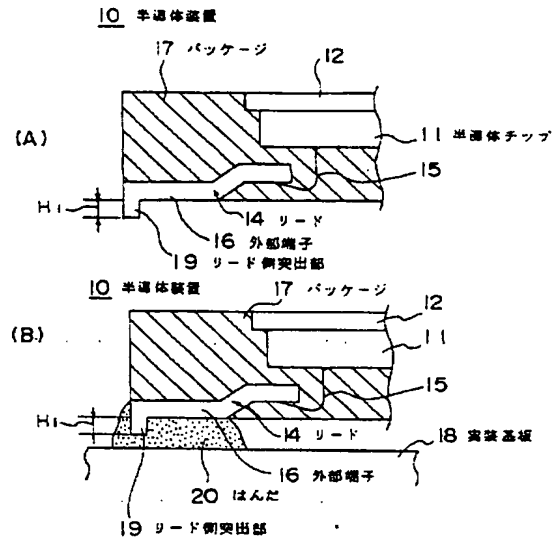
【図2】

本発明の第1実施例である半導体装置を説明するための斜視図



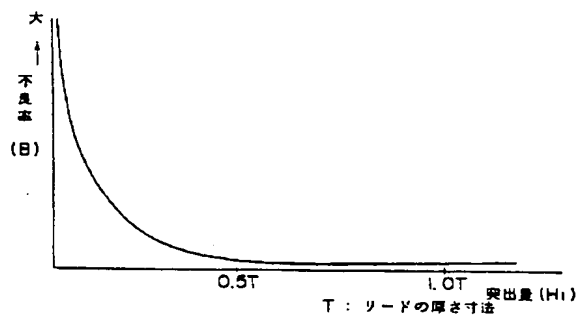
【図4】

本発明の第1実施例である半導体装置及びその実装構造を説明するための図



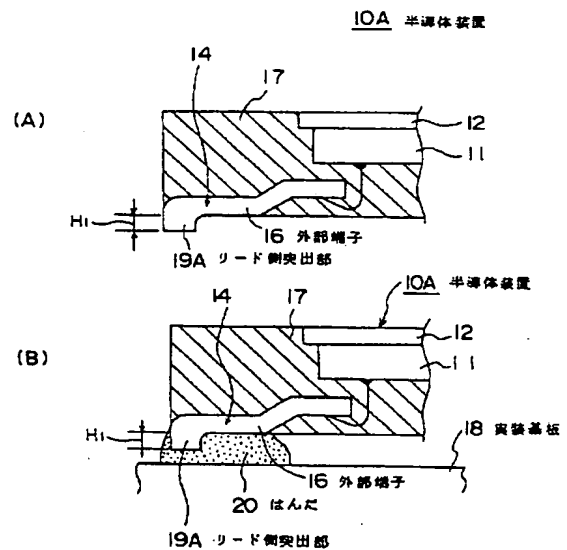
【図5】

実装時に発生する不良率とはんだの厚さとの関係を説明するための図



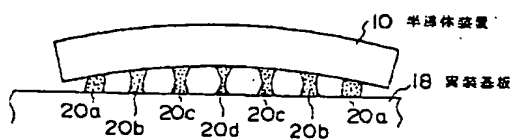
【図6】

本発明の第2実施例である半導体装置及びその実装構造を説明するための図



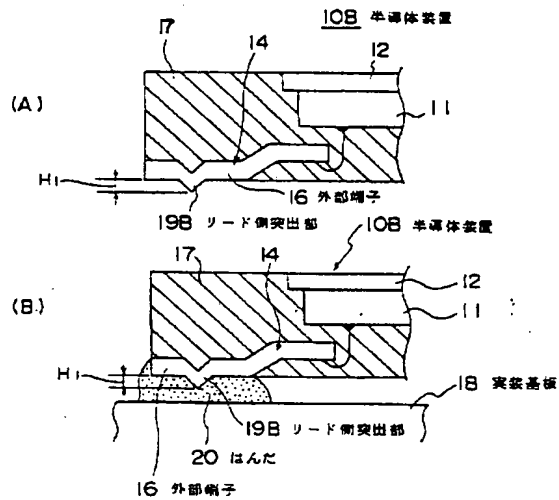
【図13】

従来の半導体装置の実装構造の問題点を説明するための図



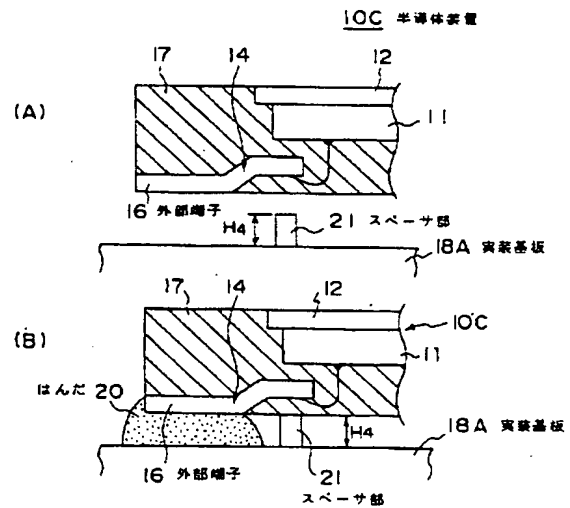
【図7】

本発明の第3実施例である半導体装置及びその実装構造を説明するための図



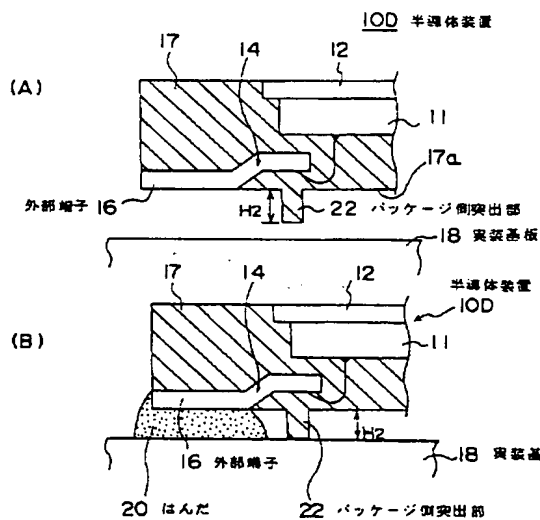
【図8】

本発明の第4実施例である半導体装置及びその実装構造を説明するための図



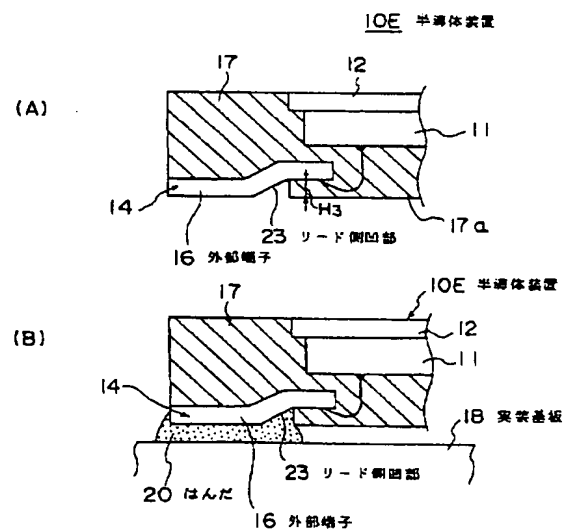
【図9】

本発明の第5実施例である半導体装置及びその実装構造を説明するための図



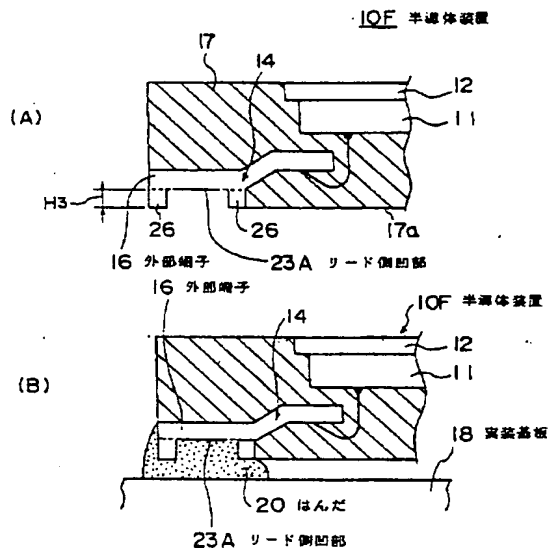
【図10】

本発明の第6実施例である半導体装置の実装構造を説明するための図



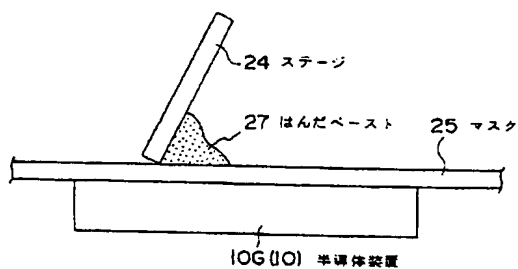
【図11】

本発明の第7実施例である半導体装置の実装構造を説明するための図



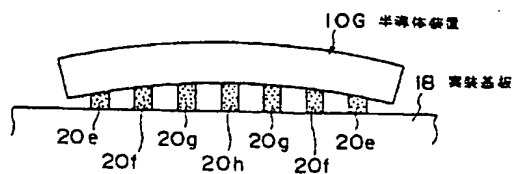
【図14】

半田ペーストの配設方法を説明するための図



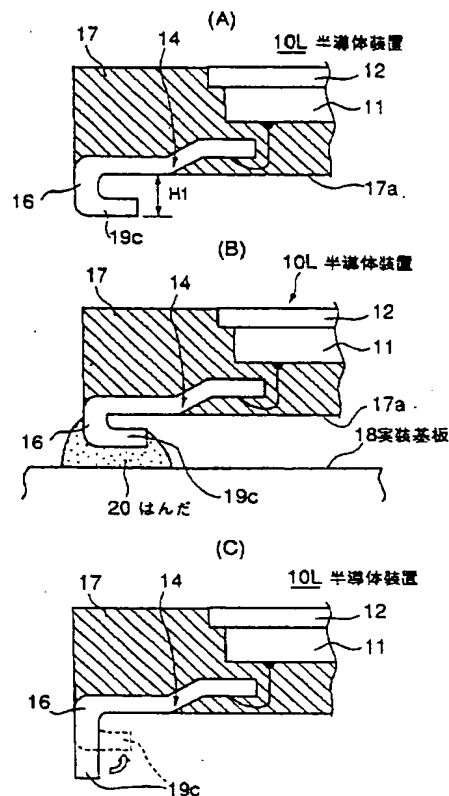
【図16】

本発明の第9実施例である半導体装置の実装構造を説明するための図



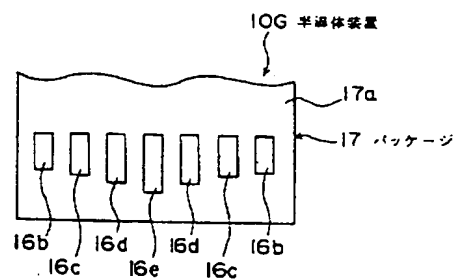
【図12】

本発明の第8実施例である半導体装置の実装構造を説明するための図



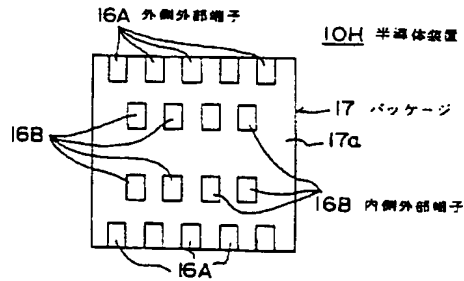
【図15】

本発明の第9実施例である半導体装置の実装構造を説明するための図



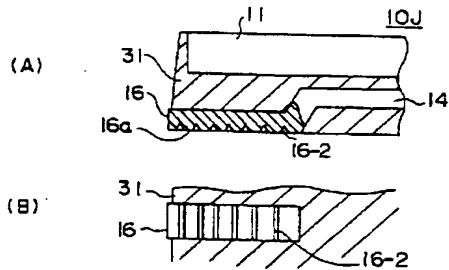
【図17】

外部端子の配設例を示す図



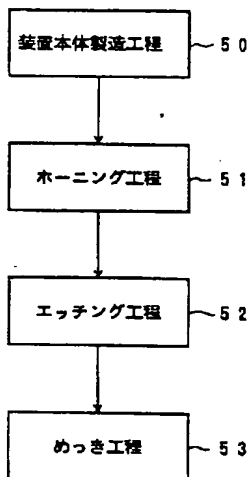
【図19】

本発明の第11実施例である半導体装置を説明するための図



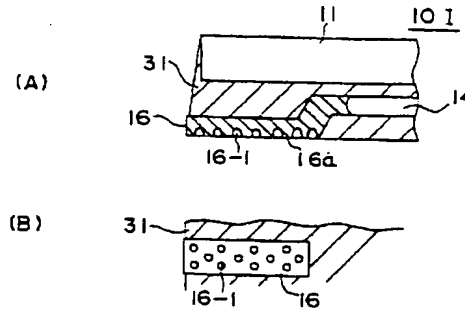
【図24】

本発明に係る半導体装置の製造方法を示す工程図



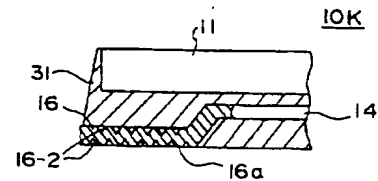
【図18】

本発明の第10実施例である半導体装置を説明するための図



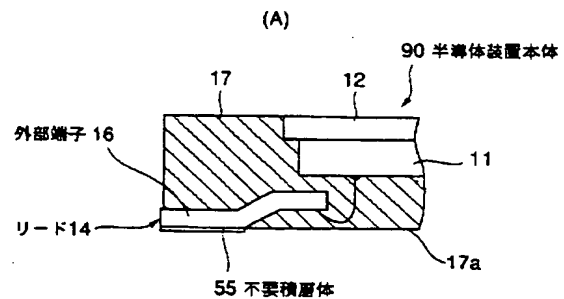
【図20】

本発明の第12実施例である半導体装置を説明するための図



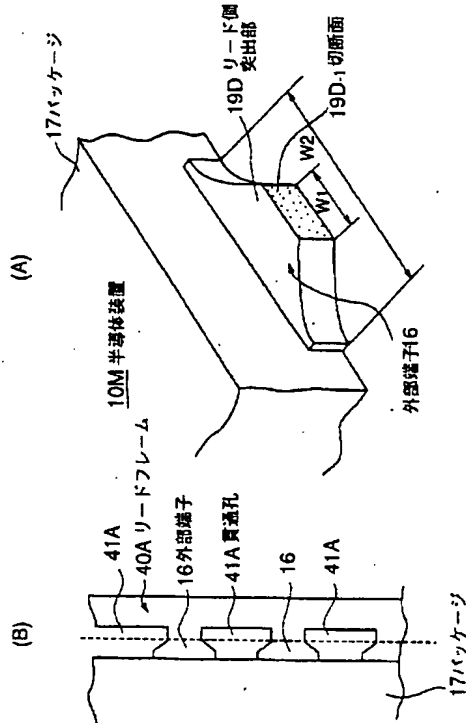
【図25】

本発明の第1実施例である半導体装置の製造方法を説明するための図であり、装置製造工程が終了した状態を示す図



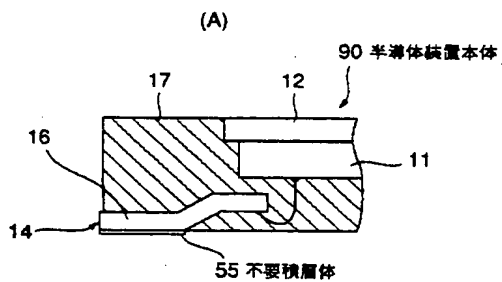
【図21】

本発明の第13実施例である半導体装置を説明するための図



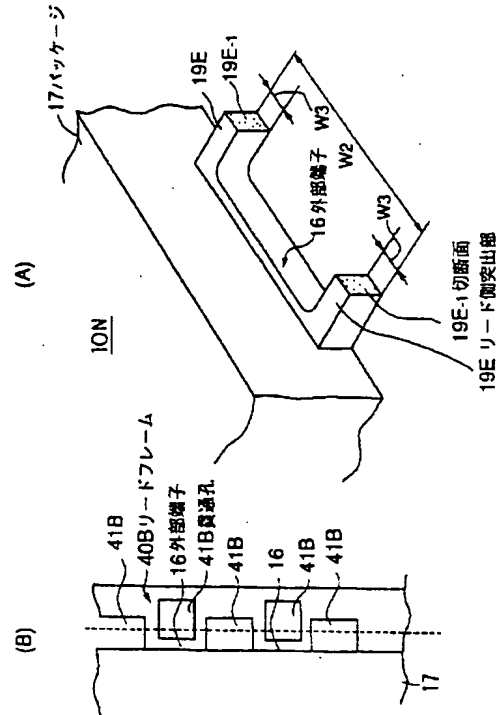
【図29】

本発明の第1実施例である半導体装置の製造方法を説明するための図であり、エッチング工程が終了した状態を示す図



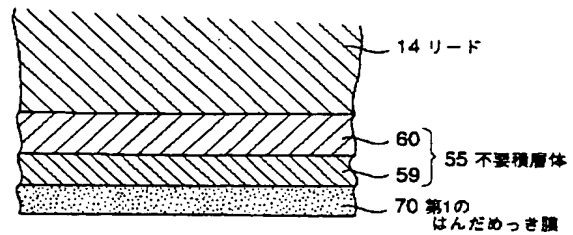
【図22】

本発明の第14実施例である半導体装置を説明するための図



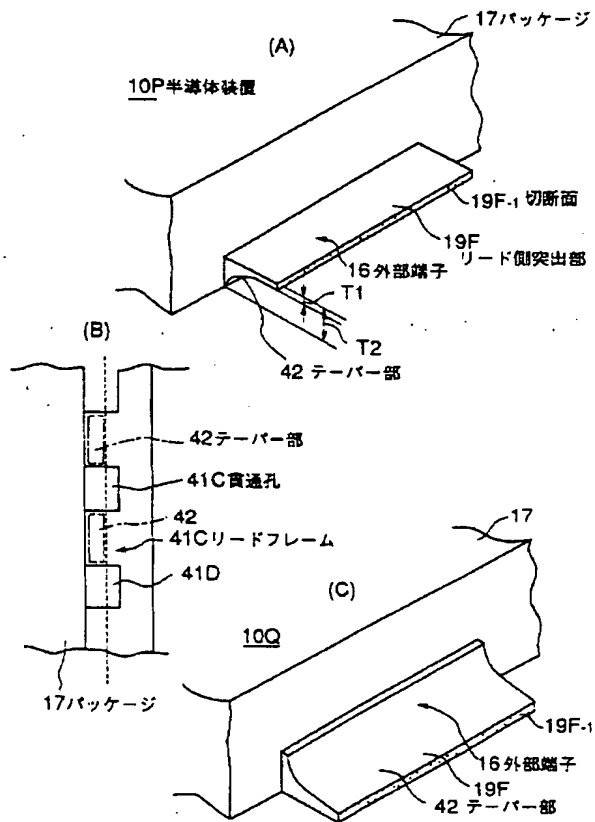
【図30】

本発明の第1実施例である半導体装置の製造方法におけるめっき工程を説明するための図



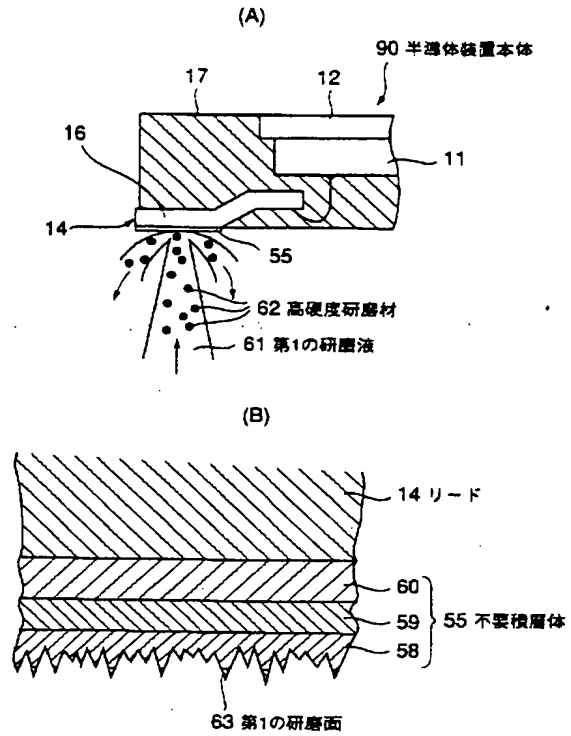
【図23】

本発明の第15実施例である半導体装置を説明するための図



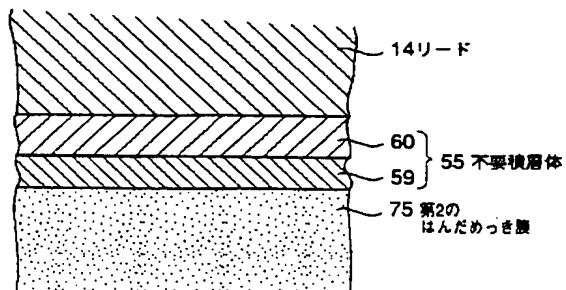
【図26】

本発明の第1実施例である半導体装置の製造方法におけるホーニング工程を説明するための図（その1）



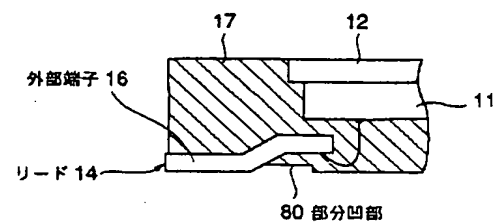
【図32】

本発明の第2実施例である半導体装置の製造方法におけるめっき工程を説明するための図



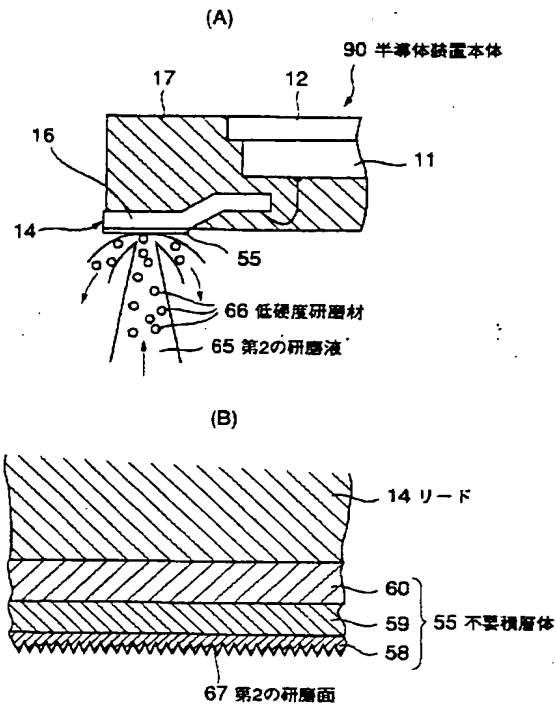
【図34】

ホーニング工程において、樹脂パッケージに部分凹部を合わせて形成した構成を示す図



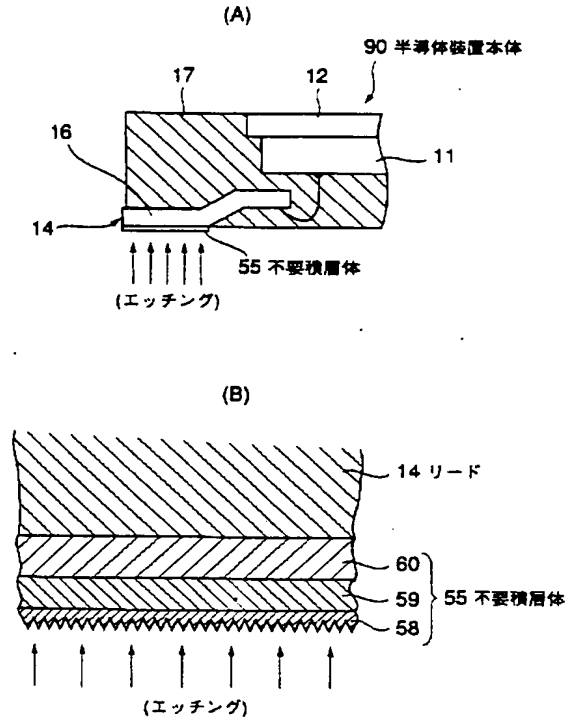
【図27】

本発明の第1実施例である半導体装置の製造方法におけるホーニング工程を説明するための図（その2）



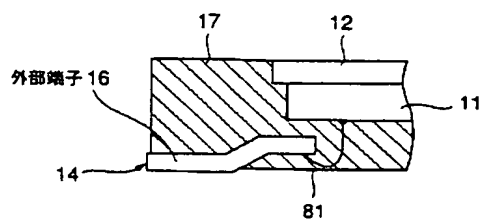
【図28】

本発明の第1実施例である半導体装置の製造方法におけるエッチング工程を説明するための図



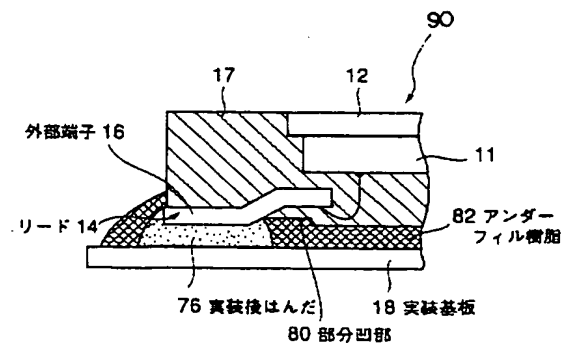
【図35】

ホーニング工程において、樹脂パッケージに全体凹部を合わせて形成した構成を示す図



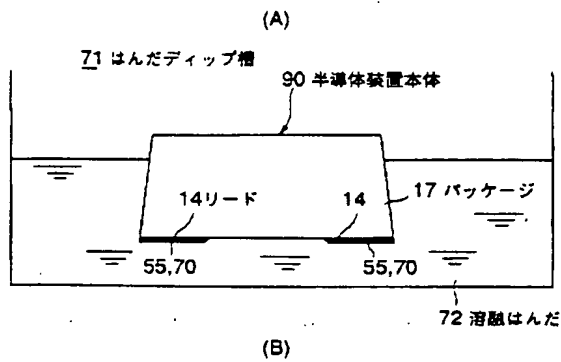
【図36】

図34に示す半導体装置を実装基板に実装する実装構造を説明するための図



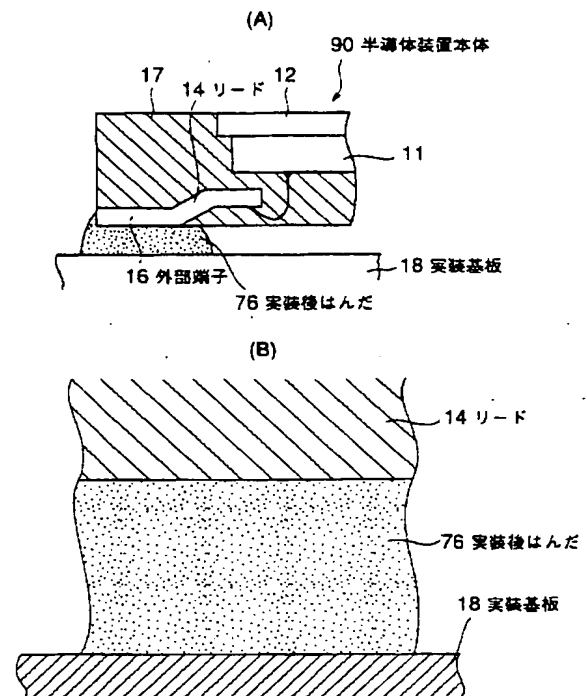
【図31】

本発明の第1実施例である半導体装置の製造方法におけるディップ工程を説明するための図



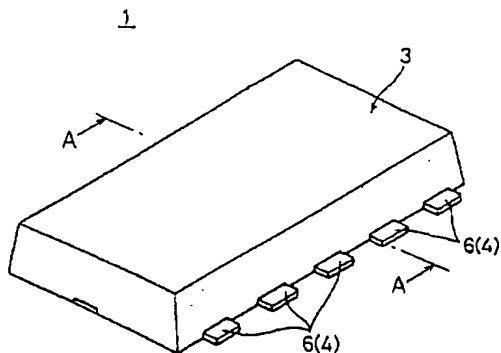
【図33】

第2実施例に係る製造方法で製造された半導体装置を実装基板に実装した状態を示す図



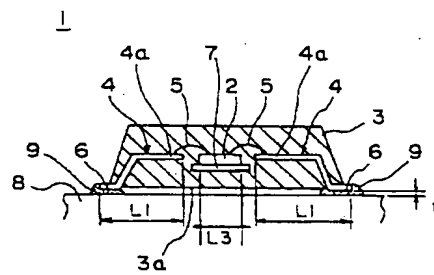
【図37】

従来の半導体装置の一例を示す図



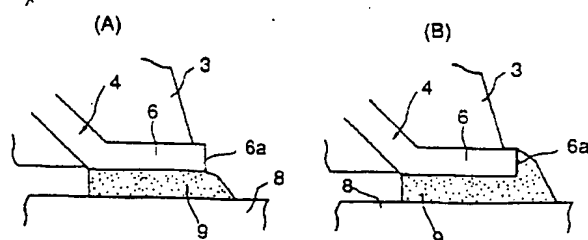
【図38】

従来の半導体装置の一例を示す図



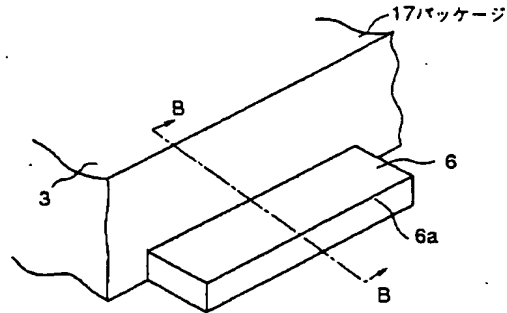
【図40】

図26のB-B断面とその実施例を示す図



【図39】

従来の半導体装置の外部端子の拡大斜視図



フロントページの続き

(72)発明者 藤沢 哲也
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 関 正明
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 林田 勝大
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 浜野 寿夫
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内